

End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Jan 28, 2000

PUB-NO: JP02000031397A
DOCUMENT-IDENTIFIER: JP 2000031397 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 28, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

NOGUCHI, MITSUHIRO
TAKASHIMA, DAIZABURO
SEKIMURA, MASAYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP10196112
APPL-DATE: July 10, 1998

INT-CL (IPC): H01 L 27/10; H01 H 59/00

ABSTRACT:

PROBLEM TO BE SOLVED: To sufficiently lower resistance of a movable thin film part in an MEMS element, reduce irregularity of the resistance, improve reliability of wiring using the MEMS element, and facilitate integration with a semiconductor integrated circuit.

SOLUTION: A semiconductor device using an MEMS element is provided with a conducting region (lower electrode) 9 formed on the main surface of an Si substrate 7, a conducting film (intermediate electrode) 8 separately counter posed to the lower electrode 9, both end portions of which film are fixed on the substrate 7 via an insulating film 6, and central part of which film is capable of displacement, an insulating film 10 buried and formed in a hole which is formed in the conducting film 8 and penetrates it in the direction vertical to the substrate main surface, and a conducting film (upper electrode) 1 which is fixed on the substrate 7 via an insulating film 2 and counter posed on the side opposite to the lower electrode 9 with respect to the intermediate electrode 8. The distances between a displacement part of the intermediate electrode 8 and the lower electrode 9 and the upper electrode 1 are changed by potentials of the intermediate electrode 8 to the lower electrode 9 and the upper electrode 1.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31397

(P2000-31397A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 8 3
H 0 1 H 59/00		H 0 1 H 59/00	

審査請求 未請求 請求項の数 5 O L (全 34 頁)

(21)出願番号 特願平10-196112

(22)出願日 平成10年7月10日(1998.7.10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 野口 充宏

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 高島 大三郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

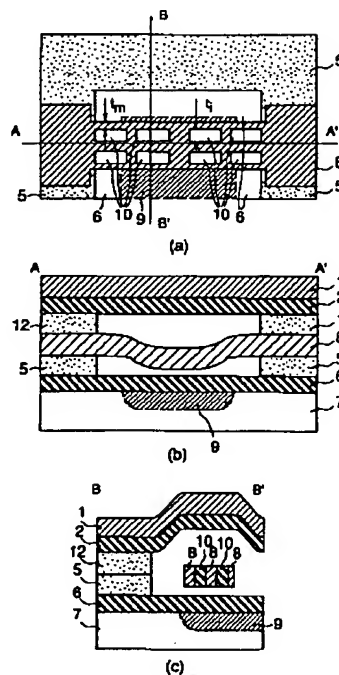
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 MEMS素子における可動薄膜部分の抵抗値を十分低くすると共に、抵抗値のばらつきを小さくでき、MEMS素子を用いた配線の信頼性向上をはかり得、且つ半導体集積回路との集積化も容易に実現可能にする。

【解決手段】 MEMS素子を用いた半導体装置において、Si基板7の主面上に形成された導電性領域(下部電極)9と、この下部電極9に離間対向配置され、両端が基板7上に絶縁膜6を介して固定され、中央部が変位可能な導電膜(中間電極)8と、この導電膜8に設けられた基板主面と垂直方向に貫通する穴に埋め込み形成された絶縁膜10と、基板7上に絶縁膜2を介して固定され、中間電極8に対し下部電極9とは反対側に対向配置された導電膜(上部電極)1とを具備してなり、中間電極8の変位部と下部電極9及び上部電極1との距離は、中間電極8の下部電極9及び上部電極1に対する電位によって変化する。



【特許請求の範囲】

【請求項1】半導体基板の主面上に形成された第1の導電部と、この第1の導電部に気体又は液体を介して対向配置され、少なくとも一端が前記基板上に固定され、一部が変位可能な第2の導電部と、この第2の導電部と同一の主面内に形成され、該導電部とは側面で接する絶縁体とを具備してなり、

第2の導電部の変位部分と第1の導電部との距離は、第1の導電部に対する第2の導電部の電位によって変化することを特徴とする半導体装置。

【請求項2】半導体基板の主面上に形成された第1の導電部と、この第1の導電部に気体又は液体を介して対向配置され、少なくとも一端が前記基板上に固定され、一部が変位可能な第2の導電部とを具備してなり、

第2の導電部は、前記基板よりも熱膨張係数が小さい材料からなり、第2の導電部の変位部分と第1の導電部との距離は、第1の導電部に対する第2の導電部の電位によって変化することを特徴とする半導体装置。

【請求項3】第2の導電部に対し第1の導電部とは反対側に対向配置され、一部が前記基板上に固定された第3の導電部を有することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】第2の導電部は、前記各導電部に電圧を印加しない状態で、2つの力学的に安定な状態を保持することを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】前記絶縁体は、第2の導電部に前記基板の主面と垂直な方向に形成された貫通孔に埋め込み形成されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に集積可能な半導体装置に係わり、特にクーロン力による導電体の変位を利用してスイッチ素子やメモリ素子等を構成した半導体装置に関する。

【0002】

【従来の技術】近年、半導体集積化技術を用いて、半導体基板に集積可能なマイクロメカニカルスイッチやメモリ素子（Micro Electro Mechanical Systems：MEMS）を作成することが研究されている。例えば、ビート・ハルグ（Beat Halg）は、Si基板上に2つのスペーサ上に跨いで形成された薄膜を可動部分として用い、この可動薄膜が上か下かに撓んだ状態をデジタルビットの情報格納として用いるMEMS素子を開示している（“On a Micro-Electro-Mechanical Nonvolatile Memory cell”，IEEE Transactions on Electron Devices vol.37, No.10, 2230(1990)：以下、文献1と略記する）。

【0003】このようなスイッチやメモリ素子として用いるMEMS素子では、可動部分としての薄膜を、Si

酸化膜等の絶縁膜上に導電性の金属膜を積層して形成している。しかし、この種のMEMS素子について本発明者らが鋭意研究及び各種実験を繰り返したところ、絶縁膜に比して金属膜を薄くする必要があり、絶縁膜が薄くなると、金属膜は益々薄くなりその抵抗が小さくなるため、信頼性の高い構造が困難になる問題があることを見出した。以下、この問題について説明する。

【0004】まず、図27及び図28を用いて、従来の積層構造のMEMS素子の問題点を説明する。図27は、前記文献1に記されているメモリセル構成を示すもので、(a)は平面図、(b)は(a)のA-A'方向断面図、(c)は(a)のB-B'方向断面図である。1は厚さ10nmのCrからなる金属膜、2は厚さ1.5μmのSi酸化膜、3は厚さ2nmのCrからなる金属膜、4は厚さ30nmのSi酸化膜からなる絶縁膜、5はポリSi膜、6はSi酸化膜、7は不純物添加Siからなる導電性基板を示している。

【0005】ポリSi膜5は、1.5μmの厚さでA-A'方向に30μmの間隔を開けて形成されている。金属膜3と絶縁膜4は積層形成されて可動薄膜を形成するものであり、ポリSi膜5を跨いで形成されている。そして、可動薄膜はポリSi膜5の上面から1.3μm下に撓んで形成されている。

【0006】このような構成において、金属膜1と3との間に30V以上の電圧を印加し、基板7の電圧を金属膜3と等しくすることによって、金属膜1と3との間に静電気による引力が働き、金属膜3及び絶縁膜4からなる可動薄膜は1.3μm上方に撓んだ状態で安定となる。一方、例えば基板7と金属膜3との間に11V以上の電圧を印加し、金属膜1の電圧を金属膜3と等しくすることによって、基板7と金属膜3との間に静電気による引力が働き、可動薄膜は1.3μm下方に撓んだ状態で安定となる。

【0007】ここで、金属膜3及び絶縁膜4からなる可動薄膜は、基板1よりも伸びようとする力が働くため、1.3μm下に撓んだ状態と1.3μm上で撓んだ状態で、金属膜1、3及び基板7間の電圧を0Vとしても安定となる。これにより、2つの状態を1ビットの記憶の不揮発性メモリとして用いることができる。

【0008】図27のように上又は下に撓んだ可動薄膜を形成するために従来例では、基板7よりも室温において熱膨張係数の小さな絶縁膜4上に、極薄膜の金属膜3を形成していた。これは、通常の金属膜は、Si等の基板7よりも熱膨張係数が大きく、室温より高い温度で成膜した金属膜は、室温ではSi基板よりも大きく収縮してしまうことによる。

【0009】例えば、Si集積回路上に導体配線を形成するには、一般に抵抗が小さく結晶粒が大きい良質の金属膜を得るためと堆積速度を向上させるために、室温より100～400℃温度を上昇させて薄膜形成を行う。

また、金属膜3より上に形成するSi酸化膜2の堆積速度を向上させるため、又はSi酸化膜2の絶縁耐圧を向上させるため、基板7を室温より100～400℃温度を上昇させて薄膜形成を行う。加えて、Si半導体の保護膜を形成した後に、素子分離界面の界面準位を減らすためとコンタクト抵抗を低減するために、例えばN₂とH₂が含まれたガス中で、400～500℃でアニールを行う。このような高温状態では金属原子が容易に動き得るため、金属膜3では応力緩和を生じる。

【0010】次いで、室温まで低下させた場合に、低温では金属原子が動けなくなり、金属膜3の熱膨張係数がSi基板7より小さいため、金属膜3の方がSi基板7よりも縮小する。よって、金属膜のみでは、基板より伸びて撓んだ導電膜は形成できなかった。このために従来例では、Si基板7よりも熱膨張係数が小さい、例えばCVDや熱酸化によって形成されたSi酸化膜を絶縁膜*

$$\sigma_i = t_a E_a E_i (\alpha_a - \alpha_i) \Delta T / (t_a E_a + t_i E_i) \dots (1)$$

図29は、10nmのSi酸化膜(絶縁膜)上に427℃で金属を蒸着し室温(27℃)に戻した場合の、室温での絶縁膜に働く圧縮応力 σ_i を、式(1)から得た値を示している。図でのパラメータは蒸着する金属であり、縦軸は絶縁膜に働く圧縮応力を示している。ここで、撓んだ膜を形成するためには、この圧縮応力が、絶縁膜4を単独で10nmの厚さでSi基板7に形成した場合の、室温で絶縁膜4に生ずる圧縮応力よりも小さい値となる必要がある。

【0013】Si大規模集積回路では、配線として用いるAlやCuの耐熱性から400度以下で形成するSi酸化膜が多層配線の層間膜に用いられる。このような条件の層間膜においては、配線金属のストレスマイグレーションによる断線やヒロックの形成を防止するために、配線金属に対する引っ張り応力や圧縮応力を小さくする必要があり、例えばAlにおいては、弾性体として振る舞う引っ張り応力の最大限界値は0.17GPa程度であり、この限界よりも層間膜による引っ張り応力を小さく保つ必要がある。そこで通常、HDP(High Density Plasma)CVD-Si酸化膜やプラズマCVD-Si酸化膜で、前記引っ張り応力は0.1GPa以下程度に設定されていることが多い。

【0014】以上から、Si大規模集積回路上への積層型MEMS素子の形成を考えると、0.1GPa以下の膜厚を満たす必要があり、層間膜の圧縮応力を低く保つために許される金属膜の厚さは、図29より高々20nm以下である。これは、金属膜3が厚いと絶縁膜4が圧縮され、可動薄膜に図27のような撓みが形成されなくなることを表わしている。

【0015】ここで、一般的に、Si酸化膜や窒化膜などアモルファス絶縁体上の金属は、アモルファス下地ゆえにエピタキシャル成長をし得ないため、形成初期において三次元的に島成長をする。このため、膜厚がさらに※

*4として用い、絶縁膜4を金属膜3と積層構造にすることで、基板7より伸び撓んだ可動薄膜を形成しているのである。

【0011】しかし、この熱膨張係数が小さい絶縁膜4と金属膜3の積層構造では、絶縁膜4を薄膜化しようとすると、金属膜3もごく薄く形成する必要がある。図28を用いてこのことを説明する。図28(a)は、絶縁膜4と金属膜3との積層構造を表わしており、金属膜3の厚さを t_a とし、絶縁膜4の厚さを t_i とする。また、金属膜3の弾性係数(elastic modulus)を E_a とし、絶縁膜4の弾性係数を E_i とする。さらに、金属膜3の線膨張率を α_a とし、絶縁膜4の線膨張率を α_i とし、金属膜蒸着又はその後のプロセス温度の最高値と室温との温度差を ΔT とすると、室温で絶縁膜4に働く圧縮応力 σ_i は次式で表わされる。

【0012】

$$\sigma_i = t_a E_a E_i (\alpha_a - \alpha_i) \Delta T / (t_a E_a + t_i E_i) \dots (1)$$

※薄くなると、金属膜が連続して形成されなくなり、抵抗値及びそのばらつき値が急激に増加する。また、このような薄膜に電流を流すと、粒界部分の膜厚が局所的に薄いところで電流密度が上昇するため、よりエレクトロマイグレーションが生じ易くなり、可動薄膜の信頼性が低下する。

【0016】逆に、金属膜3が厚くなると、絶縁膜4の金属膜3と接している面と、その反対側の面とでの応力分布が非対称となるため、前記2つの安定状態を形成するのが困難になる。例えば図27(b)のように、絶縁膜4の上に金属膜3が形成されている場合、金属膜3が絶縁膜4に対して収縮するため、下に凸な形状と上に凸な形状とで応力分布が異なり、2つの安定状態が非対称となることは明らかである。

【0017】さらに、片持ち梁構造で絶縁体薄膜4と金属薄膜3との積層構造を用いると、図28(b)のように、熱応力によって非対称な反りを生じ、金属膜3の膜厚積層方向に非等方的な応力が生じる。この応力は式(1)に示すように、温度差 ΔT に比例するため、広い温度範囲で安定に動作させるのが困難になる。

【0018】また、従来の金属膜を用いるMEMSプロセス、CrやAuなどの金属膜のヒロック発生や凝集を防ぐため、形成温度及びその後の熱工程を低く保つ必要があった。このため、図27の可動薄膜が変位するのに必要な空間を形成するのに、例えば前記文献1では、エッチングの面方位依存性の大きなウェットプロセスを用いており、エッチング液を乾燥させる場合に、可動薄膜と下部電極構造が固着してしまう問題が生じることがあった。

【0019】

【発明が解決しようとする課題】このように従来の積層構造を用いたMEMS素子では、可動薄膜部分の金属膜を厚く形成できないため、可動薄膜における抵抗値が比

較的大きくなり、抵抗値のばらつきも大きくなり、該素子を用いた配線の信頼性が低いという問題があった。また、積層型可動薄膜構造を用いたMEMS素子と半導体集積回路との集積化が困難である欠点が存在した。

【0020】本発明は、上記課題を解決すべくなされたもので、その目的とするところは、MEMS素子における可動薄膜部分の抵抗値を十分低くすると共に、抵抗値のばらつきを小さくでき、MEMS素子を用いた配線の信頼性向上をはかり得、且つ半導体集積回路との集積化も容易に実現可能にする半導体装置を提供することにある。

【0021】

【課題を解決するための手段】(構成)上記課題を解決するために本発明は、次のような構成を採用している。

【0022】即ち、本発明(請求項1)は、MEMS素子を用いた半導体装置において、半導体基板の主面上に形成された第1の導電部と、この第1の導電部に気体又は液体を介して対向配置され、少なくとも一端が前記基板上に固定され、一部が変位可能な第2の導電部と、この第2の導電部と同一の主面内に形成され、該導電部とは側面で接する絶縁体とを具備してなり、第2の導電部の変位部分と第1の導電部との距離は、第1の導電部に対する第2の導電部の電位によって変化することを特徴とする。

【0023】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 第2の導電部に対し第1の導電部とは反対側に第3の導電部が対向配置され、この第3の導電部の一部は基板上に固定されていること。

(2) 第2の導電部は、各導電部に電圧を印加しない状態で、2つの力学的に安定な状態を保持すること。

(3) 第2の導電部と側面で接触する絶縁体は、第2の導電部に半導体基板の主面と垂直な方向に形成された貫通孔に埋め込み形成されていること。

【0024】(4) 第1の導電部と第2の導電部は、半導体基板の主面に垂直な方向に積層されて形成されていること。

(5) 第2の導電部の一端又は両端は絶縁膜を介して半導体基板と接しており、この絶縁膜に接した部分の第2の導電部と半導体基板との距離は、第1の導電部の電位によって変化しないこと。

(6) 第2の導電部は、Si、Ni組成が30～45%のNiFe合金、又はCo組成50～60%のCoFe合金からなること。

(7) 第2の導電膜と半導体基板との間に、少なくとも1つのMISFETが形成されていること。

【0025】(8) 第2の導電部と側面で接する絶縁体は、変位可能であること。

(9) 液体は、ゲル物質或いはゾル物質を含むこと。

【0026】また、本発明(請求項2)は、MEMS素

子を用いた半導体装置において、半導体基板の主平面上に形成された第1の導電部と、この第1の導電部に気体又は液体を介して対向配置され、少なくとも一端が前記基板上に固定され、一部が変位可能な第2の導電部とを具備してなり、第2の導電部は、前記基板よりも熱膨張係数が小さい材料からなり、第2の導電部の変位部分と第1の導電部との距離は、第1の導電部に対する第2の導電部の電位によって変化することを特徴とする。

【0027】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 第2の導電部に対し第1の導電部とは反対側に第3の導電部が対向配置され、この第3の導電部の一部は基板上に固定されていること。

(2) 第2の導電部は、各導電部に電圧を印加しない状態で、2つの力学的に安定な状態を保持すること。

(3) 第1の導電部と第2の導電部は、半導体基板主面に垂直な方向に積層されて形成されていること。

【0028】(4) 第2の導電部の一端又は両端は絶縁膜を介して半導体基板と接しており、この絶縁膜に接した部分の第2の導電部と半導体基板との距離は、第1の導電部の電位によって変化しないこと。

(5) 第2の導電部は、Si、Ni組成が30～45%のNiFe合金、又はCo組成50～60%のCoFe合金からなること。

(6) 第2の導電膜と半導体基板との間に、少なくとも1つのMISFETが形成されていること。

(7) 液体は、ゲル物質或いはゾル物質を含むこと。

【0029】(作用)本発明(請求項1)によれば、第2の導電部と絶縁体からなる可動薄膜の厚さを小さくしても、ストレスマイグレーションやエレクトロマイグレーションが起きにくく、配線の信頼性の高いMEMS素子を実現できる。さらに、Si大規模集積回路上でも、MEMS素子の可動薄膜を厚くしても圧縮応力を生じさせることができ、撓みを有したMEMS素子をSi大規模集積回路上に形成することができる。また、比較的厚い可動薄膜を用いることによって、安定した膜厚で可動薄膜を形成して抵抗値及びそのばらつき値を抑えることができる。

【0030】また、可動薄膜の一部を構成する第2の導電部を積層方向に単層である導電性の金属膜で形成することができ、積層方向の応力をより対称に形成することができる。よって、前記2つの安定状態を容易に形成することができる。さらに、片持ち梁構造で、単層の導電性の金属膜を用いることによって、非対称な反りを生じることが少なくなり、広い温度範囲で安定に動作させることが可能となる。また、撓みを有したMEMSの可動薄膜の歪みを、可動薄膜として用いる絶縁膜と金属膜の歪みのとの間の値に連続的に制定することができ、撓み量の設計が可能となり、スイッチ高さと長さの設計自由度が増す。

【0031】また、本発明（請求項2）によれば、可動薄膜として単層の導電性の金属膜を用いることで、積層膜よりも抵抗を安定に維持したまま薄膜化が容易になり、2つの安定状態間を切り替えるために必要な電圧も小さくでき、スイッチングさせるための電圧を低電圧にすることが可能となる。さらに、単層の導電性の金属膜として、例えばSiやW、Moなどの高融点金属を用いることによって、従来例のAuやCrなどの金属よりも耐熱性を、例えば400度以上まで向上させることができる。

【0032】従って、可動薄膜を形成した後に、例えばプラズマCVDで形成したSi酸化膜やSi窒化膜を用いることで、この構造を多層配線内に埋め込んで形成することができ、半導体集積回路上に低インピーダンスかつ高スイッチング比の素子を実現できる。また、形成したMEMS素子は、MISFETに比較して、同じドレインコンダクタンスを得るのに必要な入力容量を小さく保つことができ、より入力容量を充電するのに必要なエネルギーを小さくすることができる。

【0033】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0034】（第1の実施形態）図1は、本発明の第1の実施形態に係わるMEMS素子の構造を示すもので、(a)は上面図を、(b)は(a)のA-A'方向断面図を、(c)は(a)のB-B'方向断面図を示している。また、構造を分かりやすくするために、図1(a)においては、可動薄膜を形成した段階の平面図を示し、その上の層の構造は省略してある。

【0035】本実施形態の基本的な構成は前記図27に示した従来例と同様であるが、可動薄膜となる薄膜構造（導電膜8及び絶縁膜10）が従来例とは大きく異なっている。本実施形態では、導電膜8内に該膜8とはほぼ同じ厚さを有する絶縁膜10が形成されている。ここで、導電膜8としては、例えばW、Mo、或いは多結晶Si*

$$\epsilon = (t_e E_e \alpha_e + t_i E_i \alpha_i) \Delta T / (t_e E_e + t_i E_i) \dots (2)$$

このとき、導電膜8の熱膨張係数を E_e とし、絶縁膜10の熱膨張係数を E_i 、導電膜8の線膨張率を α_e とし、絶縁膜10の線膨張率を α_i とし、金属薄膜の応力緩和した最高温度、即ち蒸着時及びその後の熱工程で最

も温度が上がった温度と室温との温度差を ΔT とする。【0041】式(2)から、 α_i と α_e とが同程度である場合、 $t_i E_i$ が $t_e E_e$ に対して十分大きくなるように形成されると、歪み ϵ は、絶縁膜10のみで可動薄膜を形成した場合の値 $\alpha_i \Delta T$ に近づき、逆に $t_i E_i$ が $t_e E_e$ に対して十分小さくなるように形成されると、歪み ϵ は導電膜8のみで可動薄膜を形成した場合の値 $\alpha_e \Delta T$ に近づく。よって、膜厚 t_e と t_i との比を調整することによって、歪みの大きさを $\alpha_i \Delta T$ から $\alpha_e \Delta T$ まで連続的に変えることができ、あたかも中間の※50

*やNiFeを用いる。また、絶縁膜10としては、熱膨張率がSi基板7より小さい膜、例えばSi酸化膜を用いる。

【0036】導電膜8と絶縁膜10は、B-B'方向で、導電膜8によって絶縁膜10を挟む構造、又は絶縁膜10によって導電膜8を挟む構造となっている。導電膜8のB-B'方向の幅を t_e とし、絶縁膜10のB-B'方向の幅を t_i とすると、それらの幅は10nm～10 μ mの範囲で、特に t_e と t_i について光によるリソグラフィが容易にできる程度、即ち0.4～4 μ m程度が望ましい。この t_e と t_i の比については、以下で詳述する。

【0037】導電膜8がポリSiの場合には、B、As又はPを10¹⁸～10²²cm⁻³の範囲で不純物添加してあり、典型的には10²¹cm⁻³の不純物添加がしてある。また、絶縁膜10は、導電膜8がブリッジングするA-A'方向において、それと積層主面で直交するB-B'方向よりも t_e/t_i 比が小さくなるように形成されていることが、よりA-A'方向の伸びを大きくするために望ましい。

【0038】このような構造をとることにより、可動薄膜の延在する方向、即ちA-A'方向には導電性を有しつつ、Si基板7に対して膨張し撓んだ膜を形成することができる。また、金属膜のみの場合よりも、同じ断面積の金属膜を絶縁膜によって挟んだ構造は、絶縁膜によって放熱性が増すために、より高電流密度の電流を流すことができる。

【0039】ここで、図1において、導電膜8のB-B'方向の幅を t_e とし、絶縁膜10のB-B'方向の幅を t_i とし、B-B'方向に周期的に導電膜8と絶縁膜10がこの厚さで周期的に繰り返されているとする。前記式(1)と同様に考えると、この複合膜（可動薄膜）のA-A'方向の熱応力による歪み ϵ は、次式で近似できる。

【0040】

※膨張率を有する物質のように形成することができる。

【0042】図2に、導電膜8（金属膜）の幅 t_e と絶縁膜10（Si酸化膜）の幅 t_i との比 t_e/t_i と、その比を変化させた複合膜の熱応力による伸び（式(2)の値に相当）から、熱膨張によるSi基板7の伸びを引いた値を示す。ここで、 ΔT を200℃として計算し、室温よりも200℃温度が上昇したところで応力が緩和され、室温まで冷却したと設定している。膜8と膜10から撓んだ複合膜を形成するためには、図2の縦軸の値が正となる必要がある。

【0043】図2より、Si集積回路上にMEMSを形成しようとする、従来MEMSの金属電極として用いられてきたAlやCrでは、複合膜の伸びを0以上とするために、 t_e/t_i をそれぞれ0.1以下、0.2以

下とする必要がある。また、これら膜では、弾性的に振る舞う応力限界値がそれぞれ、0.17 GPa、0.3 GPaと低く、それぞれ対応する膜の伸びの限界値は、金属膜が平衡状態の場合に比較して高々0.2%程度であり、複合膜を形成する場合の引張り応力に対して脆弱で、断線や導電膜8の部分的薄膜化が生じ易い。

【0044】これに対し、例えばSi集積回路の配線層で頻繁に用いられるWやMoを導電膜8に用いることにより、図2のように複合膜の伸びを0以上とするために、 t_o/t_i を0.3まで大きくすることができ、より t_o/t_i との比を大きくすることができる。図2ではWの場合を示しているが、Moもほぼ同じ曲線となる。よって、 t_i を一定とした場合、AlやCrよりもWやMoの方が t_o を大きく確保することができ、より最小線幅を大きくすることができる。このため、リソグラフィやエッチングにデザインルールの大きなものを用いることができ、設計余裕が大きくなる。

【0045】また、W、Moは高融点金属であり、CrやAlよりエレクトロマイグレーションに対する耐性が高くなり、大きな電流を流すことができる。さらに、弾性的に振る舞う応力限界値が、Wでは4.0 GPaと高く、対応する膜の伸びの限界値も、金属膜が平衡状態の場合に比較して1%程度と高いため、複合膜を形成する場合の引張り応力に対してより強固な金属膜を形成することができる。

【0046】さらに、SiやNiFe合金膜を導電膜8に用いることにより、 t_o/t_i いずれの膜厚比においても、Siを基準とした複合膜の伸びを正に保つことができる。ここで、Si膜としては、P、As、又はBを $10^{16} \sim 10^{22} \text{ cm}^{-3}$ の範囲で不純物添加して低抵抗化した多結晶、単結晶、又はアモルファス膜を用いればよい。また、NiFeについては、Siよりも熱膨張率が小さくなる組成、つまりNiの組成が30~45%の範囲にある組成の膜を用いればよい。ここで、図2では、Niが38%の組成になるように設定してある。

【0047】このようなNiが38%のNiFe膜では、0℃から200℃までの平均膨張率を $2.5 \times 10^{-6}/^\circ\text{C}$ 以下にすることができる。この値及び多結晶Si膜の熱膨張率が、Si基板の熱膨張率($2.6 \times 10^{-6}/^\circ\text{C}$)以下となるために、複合膜の熱応力による伸びが基板のSiの熱応力による伸びよりも必ず大きくなる。よって、捻んだ複合膜をいずれの t_o/t_i に対しても形成することができる。さらに、弾性的に振る舞う応力限界値が、Siでは5 GPa、NiFeでは2 GPa以上と高く、対応する膜の伸びの限界値も、金属膜が平衡状態の場合に比較してそれぞれ、2.8%程度、1.4%以上と高いため、複合膜を形成する場合の引張り応力に対して、より強固な金属膜を形成することができる。

【0048】次に、図1の構造の詳細について説明する。図1に示す本実施形態で、Si基板7にはBを $10^{14} \sim 10^{19} \text{ cm}^{-3}$ の範囲で不純物添加してあり、典型的には 10^{16} cm^{-3} の不純物が添加されている。Si基板7の表面層には、不純物添加した導電性領域(第1の導電部)9が選択的に形成されている。この導電性領域9にはAs、P、又はSbを $10^{16} \sim 10^{22} \text{ cm}^{-3}$ の範囲で不純物添加してあり、典型的には 10^{20} cm^{-3} の不純物が添加されている。ここで領域9は、後述する導電膜8及び絶縁膜10からなる可動薄膜に対向して気体又は液体を介して形成されており、中間電極となる導電膜8に対する第1の制御電極となっている。

【0049】Si基板7の上には、Si酸化膜やSi窒化膜、又はそれらの積層膜からなる絶縁膜6が形成されており、その上にポリSi膜5がコの字型に形成されている。絶縁膜6の厚さは1~100 nmの範囲、典型的な厚さとしては10 nmである。ポリSi膜5にはBが 10^{18} cm^{-3} 以上、典型的には 10^{20} cm^{-3} 程度添加されており、その厚さは0.01~10 μm の範囲で、典型的には1.5 μm の厚さで、A-A'方向に30 μm の間隔を開けて形成されている。この間隔は、0.5 $\mu\text{m} \sim 1 \text{ mm}$ の範囲であればよい。

【0050】ポリSi膜5の上には、A-A'方向に延びた導電膜(第2の導電部)8が該膜5を跨いで形成されている。この導電膜8の一部には基板7の主面に垂直な方向に貫通孔が複数個形成され、この貫通孔には絶縁膜10が埋め込み形成されている。そして、導電膜8及び絶縁膜10からなる複合膜(可動薄膜)は、ポリSi膜5の上面から1 μm 下に捻んで形成されている。

【0051】導電膜8は、厚さ0.005~10 μm の範囲で、例えば10 nmのSi、NiFe、W又はMoから形成される。絶縁膜10は、厚さ0.005~10 μm の範囲で、例えば10 nmのSi酸化膜から形成される。これらの膜8及び10は、互いに側面を接して形成され、図1(b)のように、膜5の上及び2つの膜5の橋脚を跨いで中空に形成されている。さらに、これらの膜8及び10は、MEMSにおける可動薄膜となっており、中空部のB-B'方向の幅はA-A'方向の幅よりも短いことが、A-A'方向とB-B'方向の両方の捻みによる二次元効果を排し、A-A'方向の捻みによる単一モード動作を行わせるには望ましい。

【0052】導電膜8のポリSi膜5上に位置する部分には、ポリSi膜12が形成されている。このポリSi膜12は、厚さ0.01~10 μm の範囲で、典型的には1.5 μm の厚さで、A-A'方向に30 μm の間隔を開けて形成されている。図1では、構造がよく判るように、膜厚や長さについては変形させて示している。ポリSi膜12の上部には、Si酸化膜やSi窒化膜からなる絶縁膜2が厚さ1~100 nmの範囲、典型的な厚さとしては20 nmの厚さで形成されている。ここで、絶縁膜2はポリSi膜12上のみではなく、導電膜8及び絶縁膜10からなる可動薄膜の全体を覆うように形成

11

されている。即ち絶縁膜2は、可動薄膜に対向して気体又は液体を介して形成されている。

【0053】絶縁膜2の上には、導電膜1（第3の導電部）が形成されている。この導電膜1は、厚さ0.01~10 μ mの範囲、例えば1.5 μ mの厚さからなるTi、TiN、TiSi、WSi、AlCu、Cu、W又はAlで形成されている。そしてこの導電膜1は、中間電極となる導電膜8に対する第2の制御電極となっている。

【0054】このような構成において、導電膜1と導電膜8との間に30V以上の電圧を印加し、導電性領域9の電圧を導電膜8と等しくすることによって、導電膜1と導電膜8との間に静電気による引力が働き、導電膜8及び絶縁膜10からなる可動薄膜は1.0 μ m上方に撓んだ状態で安定となる。一方、導電性領域9と導電膜8との間に11V以上の電圧を印加し、導電膜1の電圧を導電膜8と等しくすることによって、導電性領域9と導電膜8との間に静電気による引力が働き、可動薄膜は1.0 μ m下方に撓んだ状態で安定となる。

【0055】即ち、導電膜8及び絶縁膜10からなる可動薄膜は、1.0 μ m下に撓んだ状態と1.0 μ m上で撓んだ状態で、導電膜8と導電膜1及び導電性領域9と間の電圧を0Vとしても安定となり、2つの状態を1ビットの記憶の不揮発性メモリとして用いることができる。そしてこれらの状態は、例えば導電膜8と導電性領域9との容量を測定することにより、導電膜8の位置によって容量が異なるため非破壊で読み出すことができる。

【0056】次に、図3から図8を用いて、本実施形態の製造工程を説明する。図3から図8までの（a）図は、図1（a）と対応する製造工程平面図であり、（b）（c）は、図1（b）（c）と同じ製造工程断面図である。

【0057】まず、ボロン濃度10¹⁶cm⁻³のp形領域を形成したSi基板7を準備し、この基板7の表面を酸化し、0.01~0.05 μ mの厚さのSi酸化膜11を作成する。次いで、レジストを全面に塗布後にリソグラフィを行い、砒素や磷、又はアンチモンを、加速電圧10~500eVで10¹²~10¹⁶cm⁻²イオン注入して、n型導電性領域9を形成する。n型導電性領域9の形成位置は、後で形成する可動薄膜（導電膜8及び絶縁膜10）と対向する位置にする。イオンの打ち込み深さは、p型Si基板7の表面にn型領域が形成されるようにし、濃度は10¹⁷~10²¹cm⁻³となるようにする。この後に、イオン注入欠陥回復のための500~900℃、10秒~60分程度の熱工程を加えても良い。これにより、図3（a）（b）（c）の構造が形成される。

【0058】次いで、Si酸化膜又はSi窒化膜からなる絶縁膜6を厚さ1~100nmの範囲、典型的には10nmの厚さCVD法で堆積する。次いで、アモルファ

12

スSiを0.01~10 μ mの範囲で、典型的には1.5 μ mの厚さで堆積する。このとき、アモルファスSiの導電性はn、pのどちらでも良いが、その不純物密度は10¹⁷cm⁻³以下となるようになっていくようにし、10¹⁶cm⁻³以下となっていることが望ましい。この後、レジストを全面に塗布後、リソグラフィを行い、ボロンを加速電圧10~2000eVで10¹⁴~10¹⁷cm⁻²イオン注入して、5の領域のボロン濃度を10¹⁸~10²¹cm⁻³の範囲、典型的には10²⁰cm⁻³となるように最適化する。

【0059】このとき、5'の領域のボロン濃度は10¹⁷cm⁻³以下となるようにする。これは、5と5'の領域でボロンの濃度差が大きいがエッチングの選択性を向上させるために望ましいからである。ここで、5'の領域は、後で基板中に空洞を形成するための犠牲膜となっており、後で形成する中間電極と導電性領域9との間の間隙となる領域となる。このため、5による橋脚構造を形成するため、5及び5'の領域はそれぞれ絶縁膜6にまで達しているように形成する。

【0060】また、図4（b）におけるA-A'断面における5の領域の間隔は0.5 μ m~1mmの範囲であればよく、例えば30 μ mの間隔を開けて形成すればよい。この間隔は、スイッチング電圧を設計する際に決められる構造パラメータとなる。この後に、5の領域のイオン注入欠陥回復及び結晶化のために500~900℃、10秒~300分程度の熱工程を加え、ポリSi膜5を形成する。これにより、図4（a）（b）（c）の構造が形成される。この後、導電膜8を堆積する下地の平坦性を向上させるためにCMP（Chemical Mechanical Polishing）を追加してもよい。

【0061】次いで、厚さ0.005~10 μ mの範囲で、例えば10nmの厚さになるようにW又はMoをCVD（chemical vapor deposition）法又は蒸着法によって堆積する。このW膜又はMo膜は、後に導電膜8となる。この後、金属膜表面の平坦性を向上し、膜厚を一定にするために、CMPを追加してもよい。

【0062】続いて、レジストを全面に塗布した後にリソグラフィを行い、SF₆が含まれるガスによって、B-B'方向の幅10nm~10 μ mの範囲、A-A'方向の長さ10nm~10 μ mの範囲となるように、5又は5'の領域に達するように導電膜8に異方性エッチングで穴を開く。この穴は、特にt₀とt_iについて光によるリソグラフィが容易にできる程度の長さt₀と幅、つまり0.4 μ m以上が望ましく、B-B'方向については、（穴に囲まれた金属残り幅）/（開口幅）が0.3以下になるようにすることが望ましい。また、A-A'方向の長さについては開口長さに対して、穴に挟まれた導電膜8の領域が十分小さくなることを、撓んだ中間電極を形成するのに望ましい。

【0063】ここで、導電膜8の堆積及び加工工程の代

替として、厚さ0.005~10 μ mの範囲で、例えば10nmの厚さになるように、Si膜を気相成長法で堆積してもよい。このSi膜は、ボロン濃度を10¹⁹~10²¹cm⁻³の範囲、典型的には10²⁰cm⁻³となるようにしてあり、後に導電膜8となる。この場合、後で膜5'の領域を選択的にエッチングする場合に残るように、膜8は膜5同様に高濃度にボロンドーピングしてあることが望ましい。この後、中間膜全体の平坦性及び膜厚の均一性を向上するために、CMPを追加してもよい。

【0064】続いて、レジストを全面に塗布した後にリソグラフィを行い、HBr又はCl₂が含まれるガスによって、B-B'方向の幅10nm~10 μ mの範囲、A-A'方向の長さ10nm~10 μ mの範囲となるように、5又は5'の領域に達するように導電膜8に異方性エッチングで穴を開く。この穴は、特にt₁とt₂について光によるリソグラフィが容易にできる程度の長さ、つまり0.4 μ m以上が望ましい。また、A-A'方向の長さについては開口長さに対して、穴に挟まれた導電膜8の領域が十分小さくなることが、撓んだ中間電極を形成するのに望ましい。

【0065】また、導電膜8の堆積及び加工工程の代替として、0.005~10 μ mの範囲で、例えば20nmの厚さになるようにNi組成が30~45%の範囲、38%の組成のNiFe合金を、蒸着法やスパッタリング方法によって堆積してもよい。このNiFe膜は、後に導電膜8となる。この後、金属膜表面の平坦性を向上し、膜厚を一定にするために、CMPを追加してもよい。この場合、導電膜8として、Si半導体に深い準位を形成するFeを用いているので、膜6としては、例えばSi窒化膜のような、Feの拡散を防止する緻密な膜と組み合わせるのが望ましい。

【0066】続いて、レジストを全面に塗布した後にリソグラフィを行い、Arによるイオンミリングによって、B-B'方向の幅10nm~10 μ mの範囲、A-A'方向の長さ10nm~10 μ mの範囲となるように、さらに5又は5'の領域に達するように穴を導電膜8に開口する。この穴は特に、t₁とt₂について光によるリソグラフィが容易にできる程度の長さ、つまり0.4 μ m以上が望ましい。また、A-A'方向の長さについては開口長さに対して、穴に挟まれた導電膜8の領域が十分小さくなることが、撓んだ中間電極を形成するのに望ましい。

【0067】次いで、例えばフッ素添加膜も含むSi酸化膜からなる膜を、HSQ (Hydrogen silsesquioxane s), SiH₄ やTEOS (tetraethyl orthosilicate) を用いたHDP (High Density Plasma) CVD法、ECR (electron cyclotron resonance) CVD法、常圧CVD法、又は減圧CVD法で全面堆積し、絶縁膜10を形成する。このとき、導電膜8及び絶縁膜10

0からなる複合膜(可動薄膜)の室温での膜応力が圧縮応力となるように、組成及び形成温度を調整する。Si基板7上の圧縮応力としては、0.02~0.3GPa程度になることが望ましく、典型的には、0.05GPaとする。この後に、CMP法やエッチバック法によって、導電膜8上に形成した膜10を取り除く。これにより、図5(a)(b)(c)の構造が形成される。

【0068】次いで、導電膜8がWの場合には、レジストを全面に塗布後、リソグラフィを行い、SF₆が含まれるガスによって、5又は5'の領域に達するように導電膜8を中間電極形状にパターニングする。これにより、図6(a)(b)(c)の構造が形成される。

【0069】導電膜8がSiの場合には、レジストを全面に塗布した後にリソグラフィを行い、HBr又はCl₂が含まれるガスによって、5又は5'の領域に達するように導電膜8を異方性エッチングによって中間電極形状にパターニングする。この結果、図6(a)(b)(c)の断面となる。この際、導電膜8となるSi膜は、アモルファス状態で300~400℃で堆積した後、この導電膜8のパターニングが行われるまでは結晶化しないように、500℃以上の熱工程を経ない方が望ましい。これは、ボロンを高濃度にドーピングした膜8のエッチング速度は、結晶化により急速に減速するため、膜8と膜5'との境界でエッチング選択比を向上させエッチングを停止するのが困難になるためである。

【0070】また、導電膜8がNiFeの場合には、レジストを全面に塗布した後にリソグラフィを行い、Arイオンミリングによって5又は5'の領域に達するように導電膜8をパターニングする。これによっても、図6(a)(b)(c)の構造が形成される。

【0071】この図6までの製造工程の代替として、次の方法でもよい。まず、図4の段階で、図6のように導電膜8を絶縁膜10を形成する穴と不要な部分を取り去るようパターニングする。次いで、Si酸化膜等からなる絶縁膜10を全面に埋め込んだ後、不要な部分の絶縁膜10を、リソグラフィとNH₄FやHFエッチング、又はCHF₃やC₄F₈を含んだガスによるエッチングを行って取り除いてもよい。

【0072】また、製造工程の代替として、次の方法でもよい。まず、図4の段階で、Si酸化膜等からなる絶縁膜10をまず全面に堆積した後、膜8のパターンで5又は5'の領域に達するように、絶縁膜10をエッチングし溝を形成する。さらに、膜8となる金属を全面堆積し、例えばCMP法やエッチバック法によって膜8を前記溝部分に残す。その後、不要な部分の絶縁膜10を、リソグラフィとNH₄FやHFエッチング、又はCHF₃やC₄F₈を含んだガスによるエッチングを行って取り除いてもよい。

【0073】次いで、膜12及び膜12'として、例えばアモルファスSiを0.01~10 μ mの範囲で、典

型的には $1.5\mu\text{m}$ の厚さで全面堆積する。このとき、アモルファスSiの導電率はn、p型のどちらでも良いが、その不純物密度は 10^{17}cm^{-3} 以下となるようになっていようにし、 10^{16}cm^{-3} 以下となっていることが望ましい。この後、レジストを全面に塗布した後にリソグラフィを行い、ボロンを加速電圧 $10\sim 2000\text{eV}$ で $10^{14}\sim 10^{17}\text{cm}^{-2}$ だけイオン注入し、12の領域のボロン濃度を $10^{18}\sim 10^{21}\text{cm}^{-3}$ の範囲、典型的には 10^{20}cm^{-3} 以上となるように最適化する。このとき、12'の領域のボロン濃度は、 10^{17}cm^{-3} 以下となるようにする。これは、12と12'の領域でボロンの濃度差が大きい方がエッチングの選択性を向上させるために望ましいからである。

【0074】ここで、12'の領域は、5'の領域と同様に、後で基板中に空洞を形成するための犠牲膜となっており、導電膜8と後に形成する導電膜1との間の間隙となる領域となる。そこで、12による橋脚構造を形成するため、12及び12'の領域は5及び5'の領域まで達しているように形成する。また、図7(b)におけるA-A'断面における12の領域の間隔は、 $0.5\mu\text{m}\sim 1\text{mm}$ の範囲であればよく、例えば $30\mu\text{m}$ の間隔を開けて形成されており、膜5の間隔と等しいことが上下対称な応力分布を実現するのに望ましい。この間隔は、スイッチング電圧を設計する際に決められる構造パラメータとなる。これにより、図7(a)(b)(c)の構造が形成される。この後、膜12'及び5'のエッチング前までに、膜12及び12'を、 $500\sim 600^\circ\text{C}$ にアニールして結晶化させることが望ましい。

【0075】次いで、Si酸化膜やSi窒化膜、或いはアルミナ酸化膜からなる絶縁膜2を、厚さ $1\sim 100\text{nm}$ の範囲で、典型的には 20nm の厚さで全面堆積する。さらに、Ti、TiN、TiSi、WSi、AlCu、Cu、W又はAlからなる導電膜1を、厚さ $0.01\sim 10\mu\text{m}$ の範囲で、典型的には $1.5\mu\text{m}$ の厚さで全面堆積する。この後、Ti、TiN、TiSi、WSi、AlCu、Cu、W又はAl層を、リソグラフィとエッチングによって、配線としてパターンニングしてもよい。この際、導電膜1は、導電膜8に対向して積層される位置に形成されることが、スイッチング電圧を低下させるのに望ましい。このようにして、図8(a)(b)(c)の形状が形成される。

【0076】次いで、図では示していないが、例えば導電膜1及び絶縁膜2をパターンニングした後エッチングで取り除き12'の領域に達するように開口する。この開口位置は、導電膜8と接した12'の領域に連結した領域に開口すればよい。この開口位置をMEMSスイッチ構造から離れた位置に形成することが、後のウェハのダイシング工程によるダストが12'及び5'領域に形成された空洞に入り込み誤動作するのを防ぐことができ望ましい。

【0077】次いで、 CF_4 と O_2 を混合したガスプラズマにより、12'及び5'の領域を取り除く。このとき、ボロンを高濃度に添加した部分、即ち12及び5の領域はエッチング速度が12'及び5'の領域よりも非常に遅くなるため、選択的に、12及び5の領域を残すことができる。これにより、前記図1のように、半導体配線層中に埋め込まれた中空領域を形成することができる。

【0078】このような作成法では、導電膜8を形成するのにウェットエッチングを用いていないため、ウェットエッチングの溶媒の乾燥時に、導電膜8と絶縁膜2、又は導電膜8と絶縁膜6とが付着して固着してしまう現象を防ぐことができる。さらに、ウェットエッチングのエッチャントよりもガス中の残留不純物を取り除きやすいエッチング工程なので、プロセス中の汚染も少なくすることができる。

【0079】また、このエッチング工程の代わりに、 KOH と H_2O とプロパノール溶液で12'及び5'の領域を取り除いてもよい。この場合、Siのエッチング速度は、ボロン濃度が 10^{20}cm^{-3} 以上でボロン濃度が 10^{18}cm^{-3} 以下の場合の $1/10$ 以下に低下する。このことは、例えば(Greg L. Kuhn and C. John. Rhee, Thin Silicon Film on Insulating Substrate, J. Electrochem. Soc. 120, 11, pp1563-1566(1973))で公知である。よって、ボロン濃度が 10^{20}cm^{-3} 程度である12及び5の領域を残して、ボロン濃度が 10^{18}cm^{-3} 以下の12'及び5'の領域をエッチングすることができる。

【0080】この KOH 水溶液を用いた場合、絶縁膜2及び膜6は、他の半導体デバイスのアルカリ金属汚染を防ぐため、アルカリ金属であるKの拡散を阻止することができる緻密な膜、例えばSi窒化膜であることが望ましい。また、エッチングの選択性を大きくするために、膜5及び膜12に添加する不純物はリンや砒素ではなく、ボロンである必要がある。前記ウェットエッチングを用いた場合には、特に絶縁膜2及び膜6、又は導電膜8の表面がエッチング溶媒で濡れた状態を保ったままで、12'及び5'の領域をエッチングしてできた空洞を非イオン性の液体、例えばアルコール類、メチルアルコール、エチルアルコール、プロパノールや、エーテル類、アセトンやメチルエチルケトン、メチルイソブチルケトンなどと置換して置き換えても良い。

【0081】このように置換することによって、導電膜8と絶縁膜2、又は導電膜8と絶縁膜6とが付着して固着してしまう現象を防ぐことができる。また、通常液体の誘電率は気体よりも大きいので、導電膜8と導電性領域9、及び導電膜8と導電膜1との容量を比誘電率倍だけ、より大きくすることができる。よって、より低い電圧でスイッチ動作を行うことができる。

【0082】ここで、12'及び5'の領域を犠牲エッ

チングする工程の代わりとして、膜5をパターニングした後に5'の領域の部分にCを埋め込み、さらに膜12をパターニングした後に12'の領域の部分にCを埋め込み、膜2を酸素を透過する絶縁膜、例えばスパッタで形成したSi酸化膜で置き換えても良い。この工程の詳細については、本実施形態の変形例で述べる。ここで、12'及び5'の領域に空洞を形成する工程は、例えば300~450℃のO₂雰囲気中でCを酸化することによって、CO₂として燃焼させ空洞を残すプロセスと置き換えればよい。この中空領域を形成するプロセスは、例えば(M. B. Anand et al., NURA: A feasible, Gas-Di

electric Interconnect Process, 1996 Symposium on VLSI Technology Digest, p82-83)で公知である。
【0083】また、Cを酸化する工程では、絶縁膜2に12'の領域まで達するようにエッチングを行う工程を削除してもよい。このようにすると、12'及び5'の領域がエッチングされて形成された空洞を、絶縁膜2、6及びポリSi膜12、5によって完全に囲うことができるので、後続するプロセスで生じるダストが前記空洞に入るのを防ぐことができ、より信頼性の高いメモリセルが実現できる。

【0084】図9(a)に、スイッチング中間電極となる可動薄膜が従来例よりも薄くできる第1の実施形態の構造では、従来例よりもスイッチング電圧を低下させることができることを示す。この図は、A-A'方向の中間電極の長さLと、導電膜1と導電膜8との間に必要な最低スイッチング電圧との関係を示す。ここで、第1の実施形態で、可動薄膜の厚さT_{ox}は10nmであり、可動薄膜は図1のように、導電膜8の格子状構造に絶縁膜10が埋め込み形成されている。絶縁膜10はSi酸化膜でt_i=4μmの幅で形成され、導電膜8はNiF
eでt_a=0.3μmの幅で形成されている。このような構造では、図2に示すように、t_a/t_iは0.1より小さく、可動薄膜のSiを基準とした伸びは、可動薄膜をSi酸化膜のみで形成した場合とほぼ同じとみなすことができる。

【0085】図9(a)中の点線は、従来例の、30nmの厚さのSi酸化膜の中間電極の場合を示し、film stress=0.35GPaとした実線は、本実施形態の10nmの厚さの中間電極の場合を示している。これらは、例えば900℃以上の高温酸化によって形成されたSi酸化膜をSi基板上に形成した場合の室温の膜応力に相当し、Siに比較して0.35GPaの圧縮応力が発生した場合で統一している。さらに、図9(a)中のfilm stress=0.05GPaと表記した実線は、本実施形態の10nmの厚さの可動薄膜で、さらにLSIの層間膜として用いられる低い膜応力(0.05GPa)のSi酸化膜を膜10として用いた場合を示している。

【0086】スイッチング電圧は、前記文献1中に公知である式(18)を用いて計算することができる。この電

圧は、可動薄膜の厚さをT_{ox}として、T_{ox}の3/2乗に比例し、可動薄膜の膜応力をσとしてσ^{3/4}に比例する。よって、T_{ox}とσをそれぞれ、10nm及び0.05GPaまで小さくすることで、可動薄膜の長さを30μmに保ち、スイッチング電圧を1Vより小さくすることができる。

【0087】次に、図9(b)に、スイッチングの可動薄膜の機械的振幅、つまりメモリセル高さの最小値を示す。この最小高さは、可動薄膜の膜応力をσとして、σ^{1/2}にはほぼ比例する。よって、本実施形態のように、LSIの層間膜として用いられる低い膜応力(0.05GPa)のSi酸化膜を可動薄膜の構成膜10として用いることによって、よりメモリセルの高さを小さくすることができる。そこで、ポリSi膜5、12のエッチングする領域5'、12'の高さを減らすことができ、絶縁膜6や2の厚さが薄くても十分に選択比を得ることができる。さらに、5'、12'の領域をエッチングする際の、ポリSi膜5、12のエッチング量も小さく保つことができ、よりエッチング余裕が大きく高精細なメモリセルを形成することができる。

【0088】ここで、このメモリセル高さの最小値は、可動薄膜の電極長さLに対しL¹にはほぼ比例し、またスイッチング電圧はL^{-1/2}に比例し、スイッチングの可動薄膜の固有振動数はL⁻¹にはほぼ比例する。よって、膜応力が等しい条件では、可動薄膜の膜厚T_{ox}を1/κに縮小し、Lを1/κに縮小すれば、このメモリセル高さの最小値を1/κに縮小し、スイッチング電極の固有振動数を約κ倍に増大させ、スイッチング電圧も1/κに縮小することができる。よって、T_{ox}をスケールアップすることによって、Lが小さく、より占有面積が小さく高速低電圧動作可能なメモリセルを形成することができる。

【0089】本実施形態のメモリセルでは、可動薄膜の膜応力を、可動薄膜に用いる絶縁膜10と導電膜8の幅の比t_a/t_iを変化させることによって連続的に変化することができ、用いる絶縁膜より小さい膜応力σを再現性良く可動薄膜に実現することができる。よって、σ^{1/2}にはほぼ比例するメモリセルの最小高さを小さくすることができ、より高精細なメモリセルが実現できる。さらに、可動薄膜に用いる絶縁膜10の導電膜8中の長さ方向の開口長さを膜の中の位置で変化させることによって、可動薄膜の弾性率や膜応力を位置によって変化させることができる。ここで、絶縁膜10がSi酸化膜、導電膜8が金属又はSi薄膜を考えると、絶縁膜10の方が導電膜8よりも一般的に熱膨張率が小さく弾性率が小さい。

【0090】従って、例えば図1のA-A'方向断面で、ブリッジの支点となるポリSi膜5に近い部分及び該膜5上で、可動薄膜となる導電膜8の絶縁膜10に対する比t_a/t_iを大きくし、より弾性率を上昇させる

ことによって、支点部分での変形を防ぎ、より理想的な固定端に近い条件を実現することができる。よって、支点の積層方向の非対称性を抑制することができ、より対称な双安定状態を実現することができる。また、逆に図1のA-A'方向断面で、ブリッジの支点から離れた部分、特に中間電極の全長に対し、スイッチング時に変形の大きい1/4及び3/4の距離の部分では、可動薄膜となる導電膜8の絶縁膜10に対する比 t_0/t_i を小さくし、より弾性率を絶縁膜に近づけることによって、より大きな変形をさせることができ、スイッチ動作を確実にすることができる。

【0091】また、本実施形態では、図1(c)と従来例の図27(c)とを比較しても分かるように、導電膜1と絶縁膜2が導電膜8及び絶縁膜10からなる可動薄膜を覆うように配置されるので、可動薄膜に対するゴミの進入を効果的に防止することができる。さらに、図1(a)からも分かるように、可動薄膜を構成する導電膜8の中央部を幅広に形成しているため、導電性領域9に対してキャパシタを形成する領域を広くできる利点もある。

【0092】図10(a)(b)に本実施形態の変形例を示す。図10(a)(b)は、図1(a)に対応する平面図である。本変形例では、可動薄膜の導電膜8と絶縁膜10の配置法が図1の実施形態と異なっている。可動薄膜の積層方向断面図は、図4(b)(c)と同様に積層方向に対して単一の膜で形成されているので、省略する。この例では、導電膜8と絶縁膜10との幅の比を前述のように小さくすれば、図10(a)のように、導電膜8と絶縁膜10の配置法をストライプ状にしてもよいし、図10(b)のように横縞状にしてもよいし、他の任意の導電膜8の網目形状で構わない。

【0093】(第2の実施形態)図11は、本発明の第2の実施形態に係わるMEMS素子の構造を示すもので、(a)は上面図、(b)は(a)のA-A'方向断面図、(c)は(a)のB-B'方向断面図、(d)は(a)のC-C'方向断面図を示している。なお、図1と同一の部分には同一符号を付して、その詳しい説明は省略する。

【0094】本実施形態は、第1の実施形態と比較して、導電膜8が単独でスイッチの中間電極(可動薄膜)として振る舞い、導電性接点となる点が異なっている。即ち本実施形態では、可動薄膜が導電膜8の単層で形成され、導電膜8はSi基板よりも熱膨張率が小さい金属膜、例えばNiFeから形成されている。なお、第1の実施形態と同様に、可動薄膜を導電膜8と絶縁膜10から形成することも可能である。

【0095】また、導電膜8に気体又は液体を介して対向する下部電極として、導電膜13、14、15がそれぞれ形成されている。ここで、導電膜13は、A-A'方向に比較的離れて(例えば20 μ mの距離だけ離し

て)形成されている。即ち導電膜13は、導電膜8の変位に拘わらず、導電膜8と接触しない位置に形成されており、本スイッチ素子の第1の制御入力電極となっている。導電膜14及び導電膜15は、B-B'方向に近接して(例えば5 μ mの距離だけ離して)形成されている。即ち、導電膜14、15は、導電膜8が下に撓んだ状態で安定な場合、導電膜8を介して電氣的に接続されるようになっている。

【0096】また、導電膜8は第1の実施形態と同じく、上に撓んだ状態と下に撓んだ状態の2つの安定状態を有する。さらに、導電膜8に気体又は液体を介して対向する上部電極として導電膜1が形成されている。この導電膜1は、導電膜8の変位に拘わらず導電膜8と接触しない位置に形成されており、第2の制御電極となっている。

【0097】図では示さないSi基板上に、厚さ1~100nmの範囲のSi酸化膜やSi窒化膜、又はアルミニウム酸化膜からなる絶縁膜16'が形成されている。この絶縁膜16'の上に0.01~10 μ mの範囲で、典型的には1.5 μ mの厚さからなるSi酸化膜やSi窒化膜からなる絶縁膜16が形成されている。さらに、絶縁膜16'の上に0.01~10 μ mの範囲で、典型的には1.5 μ mの厚さからなるTi、TiN、TiSi、WSi、AlやAlCu、Cu又はWが、導電膜13、14及び15として形成されている。

【0098】ここで、導電膜14と導電膜15は、導電膜8を介して導通するように配置されており、導電膜14と導電膜15との間隔は、導電膜8のB-B'方向の幅よりも小さく、導電膜8の変位が最大となる点の直下に形成されることが望ましい。さらに、導電膜13の導電膜8の変位部で対向する面積は、導電膜14の導電膜8の変位部で対向する面積と、導電膜15の導電膜8の変位部で対向する面積との和よりも大きくなることが、導電膜8と導電膜14及び15の間に印加された電圧で誤ってスイッチングしないようにするためには望ましい。

【0099】導電膜13及び導電膜14上の一部には絶縁膜6が形成されている。この絶縁膜6は、厚さ1~100nmの範囲のSi酸化膜やSi窒化膜、又はそれらの積層膜からなり、典型的な厚さとしては10nmである。絶縁膜6の上にはポリSi膜5が形成されている。このポリSi膜5は、Bを 10^{18} cm⁻³以上、典型的には 3×10^{20} cm⁻³程度添加したものであり、0.01~10 μ mの範囲で、典型的には1 μ mの厚さでA-A'方向に30 μ mの間隔を開けて形成されている。この間隔は、0.5 μ m~1mmの範囲であればよい。

【0100】ポリSi膜5の上には、厚さ0.005~10 μ mの範囲で、例えば10nmの厚さのNiFeからなる導電膜8が形成されている。この導電膜8は、図11(b)のように、ポリSi膜5の上及び隣接した2

21

つのポリSi膜5の橋脚を跨いで中空に形成されている。さらに導電膜8は、ポリSi膜5の上面から1.0 μm 下に撓んで形成されている。そして、導電膜8はMEMSの中間電極となっており、中空部のB-B'方向の幅は、A-A'方向の幅よりも短いことが、A-A'方向とB-B'方向の両方の撓みによる二次元効果を排し、A-A'方向の撓みによる単一モード動作には望ましい。

【0101】導電膜8の上には、ポリSi膜12が0.01~10 μm の範囲で、典型的には1 μm の厚さでA-A'方向に、例えば30 μm の間隔を開けて形成されている。図11では、構造がよく判るように膜厚や長さについては変形させて示している。さらに、ポリSi膜12の上部には、厚さ1~100 nmの範囲のSi酸化膜又はSi窒化膜からなる絶縁膜2が、典型的な厚さとしては10 nmの厚さで形成されている。この絶縁膜2の上には、0.01~10 μm の範囲で、典型的には1.5 μm の厚さからなるTi, TiN, TiSi, WSi, AlCu, Cu, W又はAlが、導電膜1として形成されている。この導電膜1は、中間電極となる導電膜8に対する第2の制御電極となっている。

【0102】このような構成において、導電膜1と導電膜8との間に、例えば11 V以上の電圧を印加し、導電膜13の電圧を導電膜8と等しくすることによって、導電膜1と導電膜8との間に静電気による引力が働き、導電膜8は1.0 μm 上方に撓んだ状態で安定となる。このとき、導電膜8は導電膜14及び導電膜15と離れており、導電膜14と導電膜15の間の電流は遮断される。一方、導電膜13と導電膜8との間に11 V以上の電圧を印加し、導電膜1の電圧を導電膜8と等しくすることによって、導電膜13と導電膜8との間に静電気による引力が働き、導電膜8は1.0 μm 下方に撓んだ状態で安定となる。このとき、導電膜8は導電膜14及び導電膜15と接触しており、導電膜14と導電膜15の間に電流が流れる。

【0103】これにより導電膜8は、1.0 μm 下に撓んだ状態と1.0 μm 上で撓んだ状態で安定となり、従ってこの2つの状態を不揮発性スイッチとして用いることができる。ここで、ポリSi膜12と絶縁膜2を合わせた膜厚、及びポリSi膜5と絶縁膜6とを合わせた膜厚は、導電膜8の撓みの大きさ以下に形成する必要がある。

【0104】次に、図12から図17を用いて、本実施形態の製造工程を説明する。図12から図17までの(a)は図11(a)と対応する製造工程平面図であり、図12から図17までの(b)(c)は図11(b)(c)と同じ製造工程断面図である。

【0105】まず、Si基板(図示せず)上に、厚さ1~100 nmの範囲のSi酸化膜やSi窒化膜、又はアルミニウム酸化膜からなる絶縁膜16'を熱酸化法やC

22

VD法により形成する。その後、絶縁膜16として、絶縁膜16'の上に0.01~10 μm の範囲で、典型的には1.5 μm の厚さからなるSi酸化膜やSi窒化膜を形成する。次いで、レジストを全面に塗布した後にリソグラフィを行い、異方性エッチングによって絶縁膜16を絶縁膜16'に達するまで取り除き、導電膜13, 14, 15を形成するための溝を作成する。

【0106】次いで、Ti, TiN, TiSi, WSi, W, Cu又はAl, AlSiから形成された金属層を絶縁膜16の厚さよりも厚く堆積し、CMP又はエッチバックによって、前記溝に導電膜を埋め込み形成する。導電膜13, 14, 15となる金属層を堆積する際に、単一組成の膜ではなく、例えばバリアメタルとなるTiNやTi, Ta, TaN又はその積層膜を1~70 nm堆積し、その後にAlやCu, W, AlSi, AlCuSiなどを堆積してもよい。これにより、図12(a)(b)(c)の構造が形成される。

【0107】次いで、Si酸化膜やSi窒化膜を厚さ1~100 nmの範囲、典型的には、10 nmの厚さCVD法で堆積し、絶縁膜6を形成する。

【0108】次いで、例えばアモルファスSiを0.01~10 μm の範囲で、典型的には1 μm の厚さで堆積する。このとき、アモルファスSiの導電型はn, pのどちらでも良いが、その不純物密度は 10^{17}cm^{-3} 以下となるようになっていようにし、例えば 10^{16}cm^{-3} となっていることが望ましい。この後、レジストを全面に塗布した後にリソグラフィを行い、ボロンを例えば加速電圧10~2000 eVで 10^{14} ~ 10^{17}cm^{-2} イオン注入して、5の領域のボロン濃度を 10^{18} ~ 10^{21}cm^{-3} の範囲、典型的には 10^{20}cm^{-3} 以上となるように最適化する。

【0109】このとき、5'の領域のボロン濃度は 10^{17}cm^{-3} 以下となるようにする。これは、5と5'の領域でボロンの濃度差が大きい方がエッチングの選択性を向上させるために望ましいからである。ここで、5'の領域は、後で基板中に空洞を形成するための犠牲膜となっており、後に形成する可動薄膜(導電膜)8と電極(導電膜)13, 14, 15との間隙となる領域となるようにし、5による橋脚構造を形成するため、5及び5'の領域は絶縁膜6にまで達しているように形成する。

【0110】また、図13(b)におけるA-A'断面の5の領域の間隔は、0.5 μm ~1 mmの範囲であればよく、例えば30 μm の間隔を開けて形成されている。この後に、5の領域のイオン注入欠陥回復及び結晶化のための500~900度、10秒~300分程度の熱工程を加え、ポリSi膜5を形成する。これにより、図13(a)(b)(c)の構造が形成される。この後、導電膜8を堆積する下地の平坦性を向上させるためにCMPを追加してもよい。

【0111】次いで、厚さ0.005~10 μ mの範囲で、例えば10nmの厚さになるようにNi組成が30~45%の範囲、例えば38%の組成のNiFe合金を、蒸着法やスパッタリング方法によって堆積する。このNiFe膜は、後に導電膜8となる。この後、金属膜表面の平坦性を向上し、膜厚を一定にするために、CMPを追加してもよい。

【0112】次いで、レジストを全面に塗布した後にリソグラフィを行い、Arガスをを用いたイオンミリングによって、5又は5'の領域に達するように導電膜8をパターニングする。この結果、図14(a)(b)(c)の形状となる。このとき、図14の導電膜8のように、導電膜8の下に電極13, 14, 15が形成されていない部分は、電極が形成されている部分よりも幅を小さくし、膜の質量を部分的に小さくすることによって、膜の固有振動数を上昇させ高速動作できるようにすることが望ましい。

【0113】次いで、後にポリSi膜12となるアモルファスSiを0.01~10 μ mの範囲で、典型的には1 μ mの厚さで全面堆積する。このとき、アモルファスSiの導電率はn, p型のどちらでも良いが、その不純物密度は10¹⁷cm⁻³以下となるようになっていようにし、10¹⁶cm⁻³以下となっていることが望ましい。この後、レジストを全面に塗布した後にリソグラフィを行い、ボロンを加速電圧10~2000eV, 10¹⁴~10¹⁷cm⁻²イオン注入して、12の領域のボロン濃度を10¹⁸~10²¹cm⁻³の範囲、典型的には10²⁰cm⁻³となるように最適化する。

【0114】このとき、12'の領域のボロン濃度は10¹⁷cm⁻³以下となるようにする。これは、12と12'の領域でボロンの濃度差が大きい方がエッチングの選択性を向上させるために望ましいからである。ここで、12'の領域は、5'の領域と同様に、後で基板中に空洞を形成するための犠牲膜となっており、後で形成する中間電極と半導体領域9との間の間隙となる領域となる。そこで、12による橋脚構造を形成するため、12及び12'の領域は、5及び5'の領域まで達しているように形成する。

【0115】また、図15(b)におけるA-A'断面のポリSi膜12の間隔は0.5 μ m~1mmの範囲であればよく、例えば30 μ mの間隔を開けて形成されており、A-A'方向でポリSi膜5の間隔と等しいことが、導電膜8が対称な応力分布を得るようにするためには望ましい。これにより、図15(a)(b)(c)の構造が形成される。なお、膜12は必ずしもポリSiにする必要はなく、アモルファスSiの状態であってもよい。

【0116】次いで、Si酸化膜やSi窒化膜、或いはアルミナ酸化膜からなる絶縁膜2を厚さ1~100nmの範囲で、典型的には10nmの厚さで全面堆積する。

【0117】次いで、0.01~10 μ mの範囲で、典型的には1.5 μ mの厚さからなるSi酸化膜やSi窒化膜からなる絶縁膜16"を全面堆積する。続いて、レジストを全面に塗布した後にリソグラフィを行い、異方性エッチングによって絶縁膜16"を絶縁膜2に達するまで取り除き、導電膜1を形成するための溝を作成する。さらに、Ti, TiN, TiSi, WSi, W, Cu又はAl, AlSiから形成された導電膜層を、絶縁膜16"の厚さより多く堆積し、CMP又はエッチバックによって、前記溝に導電膜1を埋め込み形成する。この導電膜1としては、単一組成の膜ではなく、バリアメタルとなるTiNやTi, Ta, TaN又はその積層膜を1~70nm堆積して、その後にAl, やCu, W, AlSi, AlCuSiなどを堆積してもよい。

【0118】さらに、絶縁膜16"及び絶縁膜2をパターニングした後エッチングで取り除き、ポリSi膜の12'の領域に達するように開口する。この開口位置は、図16(a)に示すように、12'の領域に連結した領域に開口すればよい。この開口位置をスイッチ中間電極となる導電膜8から離すことが、後のウェハのダイシング工程によるダストが12'及び5'の領域に形成された空洞に入り込み誤動作するのを防ぐことができ望ましい。これにより、図16(a)(b)(c)の構造が形成される。

【0119】次いで、CF₄とO₂を混合したガスプラズマにより、12'及び5'の領域を取り除く。このとき、ボロンを高濃度に添加した部分、即ち12と5の領域はエッチング速度が12'と5'の領域よりも非常に遅くなるため、12と5の領域を選択的に残すことができ、図11のように、半導体配線層中に埋め込まれた中空領域を形成することができる。これにより、図17(a)(b)(c)の構造が形成される。

【0120】さらに、無水酢酸ガスや酢酸蒸気により、導電膜14, 15上に形成された絶縁膜6をエッチングし取り除き、導電膜14及び導電膜15が導電膜8と電気的に接続されるようにする。

【0121】このような作成法では、可動薄膜となる導電膜8を形成するのにウェットエッチングを用いていないため、ウェットエッチングの溶媒の乾燥時に、導電膜8と絶縁膜2、又は導電膜8と絶縁膜6とが付着して固着してしまう現象を防ぐことができる。さらに、ウェットエッチングのエッチャントよりも混入した不純物を取り除きやすいエッチング工程なので、プロセス中の汚染も少なくすることができる。このようにして、図11の形状が完成される。

【0122】本実施形態では、導電膜8として単一の膜を用いているために、より膜内の膜厚均一性を向上させることができ、応力や弾性係数のプロセスばらつきによる不均一性を小さくすることができる。また、プロセスを簡略化することができる。さらに本実施形態では、下

部電極として半導体の拡散層を用いず、金属配線層に形成されているので、下地となる半導体基板上に、例えばトランジスタからなる半導体集積回路を形成し、配線層の中にMEMSを埋め込み形成し、これらを積層構造とすることによって高集積化を図ることができる。

【0123】また、導電膜8が上に繞んだ安定状態の場合、導電膜8と導電膜13との間隔は、導電膜8と導電膜14の間隔や、導電膜8と導電膜15との間隔よりも小さくなる。導電膜8と導電膜13との電極の電位差をVとし、電極間の距離をdとして、平行平板近似を用いると、2つの電極に加わる静電気力は $(V/d)^2$ に比例する。よって、導電膜8が上に繞んだ安定状態の場合、導電膜14及び導電膜15と導電膜8との距離は、導電膜13と導電膜8との距離よりも大きいので、導電膜13に加える電圧よりも高い電圧を、導電膜14及び導電膜15に加えても誤動作を防止することができ、スイッチ素子として電圧利得を得ることができる。

【0124】次に、図18に本実施形態の変形例1を示す。本変形例では、第2の実施形態で形成した中間電極（導電膜8）が変位できる中空部分を形成する方法及びその構造が異なる。図18において、(a)は上面図を、(b)は(a)のA-A'方向断面図を、(c)は(a)のB-B'方向断面図を、(d)は(a)のC-C'方向断面図を示している。なお、図11と同一の部分には同一符号を付して、その詳しい説明は省略する。

【0125】本変形例では、第2の実施形態と比較して、ボロン添加Siで形成されたポリSi膜5及び12の代わりに、Si酸化膜で与えられる絶縁膜25、22をそれぞれ形成した点が異なっている。このような構造をとることにより、第2の実施形態に比べて、絶縁膜6及び膜2を薄膜化しても、導電膜8と上下の電極1又は13との電気的分離を良好に保つことができる。

【0126】次に、図19から図21を用いて、本変形例の製造工程を説明する。図19から図21までの(a)図は、図18(a)に対応する製造工程平面図であり、(b)(c)は、図18(b)(c)に対応する製造工程断面図である。本構造の製造方法は、ほぼ第2の実施形態と同一であるが、膜25、22の形成方法及び中間電極の中空部分を形成する方法が異なる。

【0127】下部配線層である導電膜13、14、15を形成するまでは、図12(a)(b)(c)までと同じ製造工程である。次いで、Si窒化膜を厚さ1~100nmの範囲、典型的には10nmの厚さCVD法で堆積し、絶縁膜6を形成する。次いで、不純物を意図的にドーピングしていないSi酸化膜を0.01~10μmの範囲で、典型的には1μmの厚さで、APCVD、LPCVD又はHDP-CVD法によって堆積し、絶縁膜25を形成する。

【0128】次いで、レジストを全面に塗布した後にリソグラフィを行い、異方性エッチングによって絶縁膜2

5を絶縁膜6に達するまで取り除き絶縁膜25'を形成するための溝を作成する。その後、PSG又はBPSGから形成された絶縁膜25'を、絶縁膜25の厚さより多く堆積し、CMP又はエッチバックによって、前記溝に絶縁膜25'を埋め込み形成する。このようにして図19(a)(b)(c)の形状が形成される。なお、図19において、点線は絶縁膜25と25'との境界を示している。

【0129】次いで、中間電極となる導電膜8を形成するが、この形成法は、NiFeを用いた第2の実施形態の図13から図14までの説明と同様なので省略する。さらに、不純物を意図的にドーピングしていないSi酸化膜を、0.01~10μmの範囲で、典型的には1μmの厚さで、例えばAPCVD、LPCVD又はHDP-CVD法によって全面堆積し、絶縁膜22を形成する。

【0130】次いで、レジストを全面に塗布した後にリソグラフィを行い、異方性エッチングによって絶縁膜22を、導電膜8、絶縁膜25又は絶縁膜25'に達するまで取り除き、絶縁膜22'を形成するための溝を作成する。その後、PSG又はBPSGから形成された絶縁膜22'を絶縁膜22の厚さより多く堆積し、CMP又はエッチバックによって、前記溝に絶縁膜22'を埋め込み形成する。そして、例えばSi窒化膜からなる絶縁膜2を厚さ1~100nmの範囲で、例えば典型的には20nmの厚さで全面堆積する。

【0131】次いで、0.01~10μmの範囲で、典型的には1.5μmの厚さからなるSi酸化膜やSi窒化膜からなる絶縁膜16''を全面堆積する。さらに、レジストを全面に塗布した後にリソグラフィを行い、異方性エッチングによって絶縁膜16''を絶縁膜2に達するまで取り除き、導電膜1を形成するための溝を作成する。さらに、例えばTi、TiN、TiSi、WSi、W、Cu又はAl、AlSiから形成された導電体層を絶縁膜16''の厚さより多く堆積し、CMP又はエッチバックによって、前記溝に導電膜1を埋め込み形成する。導電膜1としては、単一組成の膜ではなく、バリアメタルとなるTiNやTi、Ta、TaN又はその積層膜を1~70nm堆積して、その後に、Al、やCu、W、AlSi、AlCuSiなどを堆積してもよい。

【0132】次いで、絶縁膜16''及び絶縁膜2をパターンニングした後エッチングで取り除き絶縁膜22'に達するように開口する。この開口位置は、図20(a)に示すように、スイッチ部分と絶縁膜22'とが連結した領域に開口すればよい。この開口位置をスイッチ中間電極8から離すことが、後のウェハのダイシング工程によるダストが22'及び25'の領域に形成された空洞に入り込み誤動作するのを防ぐことができ望ましい。これにより、図20(a)(b)(c)の構造が形成される。

【0133】次いで、窒素で希釈した無水フッ酸ガスに

よって、膜22'部分及び25'部分を選択的に取り除く。このとき、無水ふっ酸ガスの濃度を0.1~0.5%体積濃度の範囲とし、 H_2O 濃度を10ppm以下に保つことにより、絶縁膜22及び25部分のCVD熱酸化膜部分は殆どエッチングされずに、絶縁膜22'部分及び25'部分のPSG部分のエッチングを選択的に行うことができる。これにより、選択的に絶縁膜22及び25部分のCVD熱酸化膜部分を残すことができ、図21のように、絶縁体膜中に埋め込まれた中空領域を形成することができる。これにより、図21(a)(b)

(c)の構造が形成される。この無水ふっ酸ガスは、例えばふっ酸蒸気で置き換えてもよい。
【0134】次いで、 CF_4 と O_2 さらに N_2 を加えたガスプラズマにより、導電膜14、15上に形成されたSi窒化膜で形成された絶縁膜6をエッチングし取り除き、導電膜14及び導電膜15が導電膜8と電気的に接続されるようにする。

【0135】このような作成法では、中間電極8を形成するのにウェットエッチングを用いていないため、ウェットエッチングの溶媒の乾燥時に、中間電極8と絶縁膜2、又は中間電極8と絶縁膜6とが付着して固着してしまう現象を防ぐことができる。さらに、ウェットエッチングのエッチャントよりも含有不純物を取り除きやすいガスを用いたエッチング工程なので、プロセス中の汚染も少なくすることができる。このようにして、図18の形状が完成される。

【0136】本変形例で、絶縁膜22'及び25'をPSGではなく、例えばHSQで置き換えても良く、選択エッチングは行われる。さらに、絶縁膜22'及び25'をCに置き換え、膜2を酸素を透過する絶縁膜、例えばスパッタで形成したSi酸化膜で置き換えても良い。ここで、22'及び25'の部分に空洞を形成する工程は、300~450℃で O_2 雰囲気中でCを酸化することによって CO_2 として燃焼させ空洞を残すプロセスと置き換えればよい。さらに、絶縁膜22'及び25'をAlに置き換え、硫酸と過酸化水素水の混合液やSiCl₄ガスプラズマを用いてAlのみ選択エッチングしてもよい。

【0137】次に、図22に本実施形態の変形例2を示す。本変形例2では、第2の実施形態の変形例1に加え、導電膜8に常に電位を与える手段を提供している。図22(a)は図18(d)に対応する断面を示した図で、図22(b)は下部電極13、14、15、17の平面パターンを示した図、図22(c)は中間電極8及び8'の平面パターンを示した図、図22(d)は上部電極1及び18の平面パターンを示した図である。

【0138】右側の構造21は、電極13と同一層に形成された下部電極17、又は電極1と同一層に形成された上部電極18からなり、これら電極17又は18のどちらかに、中間電極8が上又は下に接して接した構造と

なっている。ここで、右側の中空領域における中間電極8の長さは、中間電極8が接して電極17と電極18に接触するだけ十分長く、第2の実施形態での中間電極8の中空領域の長さ、例えば30μmよりも長いとする。

【0139】このように形成すれば、中間電極8は、電極17又は電極18に必ず接するため、電極17と電極18に同電位Vを与えれば、電極8の電位はVとなり、導電膜8を予め導電膜13上に形成しなくても、配線層17又は配線層18を通じて電位を与えることができる。

【0140】また、右側の構造21と左側の構造23の製造工程は第2の実施形態で示した製造工程で、上部電極及び下部電極のパターンを変更するだけで同時に形成され、工程増加もない。さらに、中間電極8を膜13上と膜13と高さ異なる膜25上の両方に形成する従来方法に比べ、膜8を形成する時の下地段差を抑えることができ、膜8以降を加工する場合のリソグラフィの焦点深度余裕やエッチング余裕を向上させることができる。よって、より微細な膜8のパターンを形成することができ、膜8の段差による応力発生の影響や段差部で膜8の結晶粒界変化によるばらつきも小さくすることができる。

【0141】また、スイッチング電圧を下げ固有周波数を上昇させるため、導電膜8を薄膜化した場合でも、導電膜8の長さを短くし接続する上部電極又は下部電極の長さを長くすることにより、中間電極に対する配線抵抗を小さくすることができる。これは、例えば上部電極及び下部電極の厚さを厚く保ち低抵抗の材料を用い、導電膜8で形成した配線層よりも十分低抵抗の配線層18、17を配線層として用いることで、スイッチング遅延を小さく保つことができる。この中間電極の構造を除けば、他の構造は第2の実施形態の第一の変形例と同一なので省略する。また、中間膜の形成方法は、第1の実施形態の図5から図6までの形成法を用いればよい。

【0142】このような構造をとることにより、導電膜14及び導電膜15の電圧を、導電膜8の電圧と独立に設定することができる。そこで、導電膜14及び15を電気的に制御電極から分離することができ、より、導電膜8'と膜8との間の寄生容量や、膜14や膜15と膜8とのクロストークを減少させることができる。

【0143】さらに、本変形例2で出力電極が複数となる場合を、図23(a)(b)(c)に示す。図23(a)は図22(a)に対応する断面を示した図で、図23(b)は下部電極13、14、15、14'、15'、17の平面パターンを示した図、図22(c)は中間電極8及び8'及び絶縁膜10の平面パターンを示した図である。

【0144】ここで、導電膜14及び導電膜15は、導電膜8'が下に接んだ状態で安定な場合、導電膜8'を介して電気的に接続される。さらに、導電膜14'及び

導電膜15'は、導電膜8'が下に捻んだ状態で安定な場合、導電膜8'を介して電氣的に接続される。これら電極14'及び15'と電極14及び15とは、それぞれ電氣的に分離されて形成され、それぞれ独立の電位を与えることができる。

【0145】そして、図23(a)のような構成を取ることにより、一入力多出力のスイッチ回路素子を形成することができ、一入力一出力のスイッチ素子を複数個用いて同等の回路を形成した場合よりも高密度化することができる。

【0146】(第3の実施形態)図24は、本発明の第3の実施形態構造を示す図である。本実施形態は、基本的には第2の実施形態と同じであるが、導電膜(中間電極)8が上部電極と下部電極の2つを選択するスイッチ構造となる点が異なっている。また、本実施形態では、Si集積回路上に積層してMEMS回路を形成した例を示している。図24(a)は図18(d)に対応する断面を示した図で、図24(b)は導電膜(上部電極)18、1、24、26'の平面パターンを示した図、図24(c)は中間電極8及び8'の平面パターンを示した図、図24(d)は導電膜(下部電極)17、13、14、26の平面パターンを示した図である。なお、図11及び図22、23と同一の部分には、同一符号をつけて詳しい説明は省略する。

【0147】図24において、絶縁膜16'より上部にMEMS構造が形成され、絶縁膜16'より下側に、例えばn型MISFET又はP型MISFETが形成されている。Si基板上に形成されたp型ウェル30及びn型ウェル30'の上部に、Si酸化膜やSi窒化膜、タンタル酸化膜、チタン酸化膜、又はSTO膜からなるゲート絶縁膜28を介して、B又はP、As不純物を添加したポリSiからなるゲート電極27が形成されている。

【0148】n型MISFETについては、ゲート電極の両側には、p型ウェル30と逆の導電性を有するソース・ドレイン層29がリン、又はAsをイオン注入して形成されている。p型MISFETについては、ゲート電極の両側には、n型ウェル30'と逆の導電性を有するソース・ドレイン層29'がボロン又はBF₂をイオン注入して形成されている。また、ゲート電極27の両側には、ゲート電極とソースドレイン電極の電氣的分離を保つために、Si酸化膜やSi窒化膜からなる絶縁膜32が形成されている。さらに、p型ウェル30とn型ウェル30'の間には、例えばSi酸化膜からなる素子分離絶縁膜層31が形成されている。

【0149】図24において、Si基板に、例えばn型MISFETやp型MISFETの回路に積層して、半導体回路の配線層とMEMS回路の導電層を共用して形成されている。なお、半導体回路の製造方法は周知の方法であるので省略するが、MEMS回路の製造方法は、

金属配線中にMEMSを形成する第2の実施形態の方法を用いればよい。第2の実施形態のMEMSで必要なのは、例えばSiからなる基板よりも熱膨張率の小さい導電膜8及び8'を中間電極として用いることであり、MEMSが半導体基板と絶縁膜を介して形成されていてもよいので、その絶縁膜内と半導体領域に、公知の半導体回路を形成することができる。

【0150】このような構造をとることにより、半導体スイッチ素子の特徴である高速性と、後述するようなMEMSスイッチ素子の特徴である低抵抗、低入力容量のスイッチを1つの半導体回路に積層及び集積化できる。本実施形態ではn型MISFETやp型MISFETの回路との集積を示したが、バイポーラトランジスタとの集積を行ってもよいのは勿論のことである。

【0151】次に、絶縁膜16'上に形成されたMEMSについての説明を行う。まず、導電膜8'、絶縁膜10、導電膜8は、それぞれ側面を接して形成され、MEMSスイッチの中間電極となっている。

【0152】図24(a)左側において、中間電極8'は、下部電極17又は上部電極18のどちらかに、上か下に捻んで接した構造となっている。ここで、左側の中空領域の長さは、中間電極8'が捻んで電極17と電極18に接触するだけ十分長く、第2の実施形態での中間電極8'の中空領域の長さ、例えば30μmよりも十分長いとする。ここで、ここで、電極17と電極18に同電位Vを与えれば、中間電極8'の電位はVとなる。この中間電極8'は、上部制御電極1と中間電極8'との間、又は下部制御電極13と中間電極8'との間に電圧を印加することによって、図24(a)の中間の中空領域での中間電極8を上、又は下にそれぞれ捻ませるための制御電極である。

【0153】さらに、図24(a)右側において、中間電極8は、下部電極26又は上部電極26'のどちらかに、上か下に捻んで接した構造となっている。ここで、右側の中空領域の長さは、中間電極8'が捻んで電極26と電極26'に接触するだけ十分長く、第2の実施形態での中間電極8の中空領域の長さ、例えば30μmよりも十分長いとする。ここで、電極26と電極26'に同電位を与えれば、電極8の電位は電極26の電位と等しくなる。従って、下部電極26又は上部電極26'に配線することによって、中間導電膜8の電位を与えることができる。

【0154】さらに、図24において、中間部の中空構造で、導電膜8は第1の実施形態と同じく上に捻んだ状態と下に捻んだ状態の2つの安定状態を有する。導電膜8と導電膜8'で、Si酸化膜からなる絶縁膜10を挟んだ構造になっている。この構造では、さらに導電膜8'領域が導電膜8領域と絶縁膜10によって電氣的に分離されている。導電膜8に気体又は液体を介して対向する下部電極として、導電膜14が形成されている。導

31

電膜14は、導電膜8が下に摺んだ状態で安定な場合、導電膜8と電気的に接続される。さらに、導電膜8に気体又は液体を介して対向する上部電極として、導電膜24が形成されている。導電膜24は、導電膜8が上に摺んだ状態で安定な場合、導電膜8と電気的に接続される。

【0155】即ち、図24のMEMSスイッチは、導電膜8と導電膜24、又は導電膜8と導電膜14を二者択一的に接続するスイッチとなっている。

【0156】ここで、膜26、17、13及び14は、下部電極として導電膜13と同時形成されている。さらに、膜18、26'、24及び1は、上部電極として導電膜1と同時形成されている。よって、膜16'から上のMEMS部の製造工程は第2の実施形態の変形例1で示した製造工程で、上部電極及び下部電極のパターン、及び中間電極のパターンを変更するだけで同時形成され、工程増加もない。

【0157】さらに、中間電極8を膜13上と、膜13と高さ異なる膜25上の両方に形成する従来方法に比べ、膜8及び膜8'の地下段差を抑えることができ、膜8及び膜8'以降を加工する場合のリソグラフィの焦点深度余裕やエッチング余裕を向上させることができる。よって、より微細な膜8及び膜8'のパターンを形成することができ、膜8及び膜8'の段差による応力発生の影響や、段差部で、膜8及び膜8'の結晶粒界変化によるばらつきも小さくすることができる。

【0158】また、スイッチング電圧を下げ固有周波数を上昇させるため、導電膜8を薄膜化した場合でも、導電膜8及び膜8'の長さを短くし接続する上部電極又は下部電極の長さを長くすることにより、中間電極に対する配線抵抗を小さくすることができる。これは、例えば上部電極及び下部電極の厚さを厚く保ち低抵抗の材料を用い、導電膜8で形成した配線層よりも十分低抵抗の配線層26、26'を、配線層として用いることで、スイッチング遅延を小さく保つことができる。この中間電極の構造を除けば、他の構造は第2の実施形態の第一の変形例と同一なので省略する。また、中間膜の形成方法は、第1の実施形態の図5から図6までの形成法を用いればよい。

【0159】このような構造をとることにより、導電膜14、導電膜8、及び導電膜24の電圧を、制御電極である導電膜1、導電膜13、及び導電膜8'の電圧と独立に設定することができる。そこで、導電膜14、導電膜8、及び導電膜24を電気的に制御電極から分離することができ、膜8'と膜8との間の寄生容量をより減少させ、制御電極導電膜1、13、8'と、膜14や膜24と膜8とのクロストークを減少させ、両者の絶縁特性を向上することができる。

【0160】また、第3の実施形態では、中間のスイッチング部分の中空領域の中心に対して、制御電極13及

32

び制御電極1がA-A'断面で左右非対称に形成されている。スイッチングの際には、膜の基底形状から摺んだ中間電極の高次の励起形状への変形が必要となるが、この中間電極の第一励起形状は、中間電極のA-A'方向の中心に対して非対称となる。このことは、前記文献1の例えば式(10)から公知である。よって、制御電極13及び制御電極1をA-A'断面で中間電極の中心に対して片側に形成し、膜の片側に選択的に静電引力を印加することによって、より低次の励起モードを強く励起することができ、よりスイッチングし易くすることが可能となる。

【0161】図25に、本実施形態の二者選択スイッチを利用した回路例を示す。図25(a)は、図24(a)の素子を回路的に表現したものであり、制御入力端子1と電極17との印加電圧、及び制御入力端子13と電極17の印加電圧によって、電極26が電極24又は電極14に選択的に接続される。

【0162】ここで、図25(b)に、本スイッチング素子の応用例として、4つの配線33、34、35、36の間で、それぞれ2つの配線同士を接続する回路を示す。従来のトランジスタをスイッチング素子を用いた回路では、図25(b)に示すように、配線間に6つのトランジスタQ1、Q2、Q3、Q4、Q5、Q6が必要となる。また、Q1~Q6のゲート電圧の低下によって、スイッチ状態は失われる。また、Q1~Q6のゲート入力と配線33、34、35、36の電位によって基板バイアス効果が生じ、配線の電位によってトランジスタの電流駆動能力が変動する。このため、安定した配線抵抗を得るのが困難となる。また、半導体の抵抗は金属より高いため、低抵抗のスイッチ素子を半導体で実現するには、非常に広いゲート幅を必要とする。

【0163】図25(c)に、図25(a)のスイッチ素子を用いた図24(b)と同等の2つの配線同士を接続する回路を示す。図25(c)では、図25(a)の二者択一スイッチを、制御入力端子を省略して示している。本実施形態の二者選択スイッチを用いれば、3つのスイッチS1、S2、S3を用いるだけで2つの配線同士を接続する回路が実現でき、回路素子数が減らせ回路が簡単となり、信頼性を向上できる。さらに、第2及び第3の実施形態のスイッチは制御入力電圧を全て、例えば0Vと等電位としても直前のスイッチ状態を保持しているため、不揮発性のスイッチとなる。よって、例えば電源をOFFしてもプログラマブルROMや強誘電体メモリ、磁気記憶メモリを添加することなく、スイッチ状態を記憶しておくことができ、回路が簡単となる。

【0164】また、制御入力とスイッチの出力とが、完全に電気的に分離されており、配線の電位によって、スイッチの接続抵抗が変化することなく安定した配線抵抗を得ることができる。さらに、本実施形態のスイッチの抵抗は、配線材を金属で形成することができるため、半

導体のMISFETの反転層抵抗よりも単位幅あたりの抵抗を十分低く保つことができる。よって、より低抵抗の配線スイッチが実現できる。

【0165】ここで、第3の実施形態で、MEMSスイッチの膜8'の単位幅あたりの入力容量C1及びドレイン抵抗Rについて述べる。MEMSスイッチについて、入力容量の本質的な寄与は、下に膜8'が撓んだときに最も距離が近くなる、スイッチ中間電極8'と制御電極13との容量と考えられる。ここで、図24(a)を考え、スイッチ中間電極8'の下部導電膜13の対向する表面からの高さをhとし、スイッチ中間電極8'の長さをLとし、その端面からL1の長さまで導電膜13が伸びているとする。基底状態では、スイッチ中間膜端からの長さ方向の位置yでの、導電膜8'と下部電極までの距離は、 $h \times \{\cos(2\pi y/L) + 1\} / 2$ で近似できるので、導電膜8'と下部制御電極13までの誘電率をεとして $C1 \sim \epsilon L \tan(\pi L1/L) / (\pi h)$ となる。

【0166】例えば本実施形態において、スイッチ中間電極を $L1 = L/3$ とし、 $L = 30 \mu m$ 、 $h = 1 \mu m$ 、下部制御電極13と導電膜8'との間の誘電率が気体の誘電率でほぼ真空誘電率に等しいとすると $C1 \sim 0.15 fF/\mu m$ となる。これは、Si系n型MOSFETでゲート酸化膜3nm、ゲート長 $0.1 \mu m$ の場合のMOSFETのゲート容量 $1.2 fF/\mu m$ に比較して、同じ幅の素子を形成した場合には、13%以下とすることができる。

【0167】これに対し、単位幅あたりのドレイン抵抗は、例えばNiFeをスイッチ中間電極8'に用い、その厚さtを10nmとすると、NiFeの抵抗率は $80 \mu \Omega cm$ 以下であるから、図24の構造では、 $R \sim \rho L/t \sim 80 \Omega \mu m$ 程度である。これに対し、Si系MOSFETでゲート酸化膜3nm、ゲート長 $0.1 \mu m$ の場合には、ドレイン電圧1Vに対して高々 $500 \mu A/\mu m$ 程度のドレイン電流しか得られないので、そのチャネル抵抗は単位幅あたり $2 k \Omega \mu m$ 以上となる。よって、ドレイン抵抗はMOSFETに比較して、同じ幅の素子を形成した場合には、5%以下に小さくできる。

【0168】ここで、入力容量及びドレインコンダクタンスは素子幅に比例するので、以上から、MEMSスイッチの方が、同じチャネル抵抗を得るための入力容量を非常に小さくすることができる。

【0169】もちろん、図9(a)の $T_{ox} = 10 nm$ 、膜ストレス $= 0.05 GPa$ の実線から、 $L = 30 \mu m$ のスイッチング電圧は0.5V以下であり、電源電圧振幅が1VのMOSFETと同様に、電源電圧1Vで動作させることができる。

【0170】また、本MEMS素子のスイッチ遮断時のドレイン抵抗は、中空領域の気体圧力を上昇させ放電電圧以下で用いる場合には、温度に強く依存せず、かつ半

導体素子、例えばMISFETに比較して、小さく抑えることができる。よって、スイッチ遮断時のリーク電流による電力消費を小さく抑えることができる。

【0171】図26(d)に、本MEMSスイッチの他の半導体回路応用例を示す。この図において、S4は第3の実施形態で説明したMEMSスイッチを示している。S4の出力電極の一方24は、例えばVDDとなる電圧を有する電源ノードと接続されており、中間電極8と接続された出力電極26は、電圧ノード38と接続されている。また、S4のもう一方の出力電極14は、例えば開放されている。この出力電極14は、VDDより低い電圧、例えば0Vに接地されていてもよい。

【0172】電圧ノード38は、例えばQ7、Q8で形成されるインバータや、39のNAND、40のNORなどの論理回路の電源端子と接続されている。Q7、Q8、NAND39、NOR40は、例えばバイポーラTTLなど他の半導体論理回路であってももちろん良い。

【0173】また、S4の制御入力の中間電極18はactive及びstandbyを選択する入力に接続され、制御電極1は、例えばVDD2となる電圧を有する電源ノードと接続されている。ここで、VDD2は、例えばnMOSインバータの“high”レベルのように、VDDより低い電圧でも良く、VDDと無関係に決めることができる。また、制御電極13は、例えば0Vに接続されている。

【0174】このような構成で制御中間電極18の電圧は、0VとVDD2の2値をとり、VDD2の時は電極26は電極14と接続され、0Vの時は電極26は電極24と接続される。よって、制御入力18の電圧によって、Q7、Q8、39、40の電源電圧を供給及び遮断が可能となり、スタンバイ時のQ7、Q8、39、40に流れるサブスレッショルドリーク電流を完全に遮断することができ、低消費回路が実現できる。電極14を開放としたスイッチは、電極26及び電極24を、電極14と電極15とに読み替えば、第2の実施形態の変形例2で示したスイッチと回路的に等価である。よって、第2の実施形態の変形例2で示したスイッチいで置き換えることもできる。

【0175】従来、図26(d)の回路のMEMSスイッチS4の代わりに、例えば電流遮断用MOSFETを用いる例が、文献2(S. Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with Multi-Threshold Voltage CMOS", IEEE J. Solid-State Circuits, vol.30, no.8, pp.847-854, Aug. 1995)で公知である。しかし、この文献2では、電流遮断用MISFET挿入による抵抗増加を十分抑えるには、電流遮断用MOSFET占有面積を、Q7、Q8、39、40で示される論理回路の面積と同等まで大きくする必要があった。

【0176】これに対し本発明では、図24(a)で示

したように、低抵抗なMEMSスイッチを、例えば半導体論理回路上に積層して形成することができ、より高密度及び高集積化を図ることができる。また、MEMSスイッチの抵抗を低くできるので、電流遮断用スイッチ素子の抵抗成分で消費される電力、及び電圧ドロップを小さく保つことができる。さらに、MEMSスイッチの制御入力の入力容量は、前述のように同等のドレインコンダクタンスを有するMISFETに比べ小さくすることができるため、より active/standby 入力の容量を充電する電力を減らすことができる。

【0177】さらに、図26(f)に、本MEMSスイッチの他の回路応用例を示す。この図において、S5は第3の実施形態で説明したMEMSスイッチを示している。S5の出力電極の一方24は、例えばVDDとなる電圧ノードと接続され、S5の出力電極のもう一方14は、例えば0Vとなる電圧ノードと接続されている。さらに、S5の出力中間電極26は、LSIの電極パッドなどの大きな容量を有する容量性負荷42と接続されている。

【0178】また、S5の制御入力の中間電極18は、例えば接地されている。さらに、制御電極1は、VDD2となる電圧と0Vの2値を有する電圧ノード41に接続されている。また、もう一方の制御電極13は、インバータ37の出力に接続され、そのインバータ37の入力は電圧ノード41に接続されている。ここで、VDD2は、例えばnMOSインバータの“high”レベルのように、前記VDDより低い電圧でも良いし、VDDと独立に設定することができる。

【0179】このような構成で、電圧ノード41の電圧がVDD2の時、電極26は電極24と接続され、容量性負荷42にVDDが供給される。一方、電圧ノード41の電圧が0Vの時、電極26は電極14と接続される。よって、この回路は、電極41の電圧バッファ出力回路となっている。このようなバッファ出力回路として従来は、例えば図26(e)のようなMISFETを用いたインバータチェーン43が用いられてきた。また、入力ノード41と負荷に対する電圧43が異なる場合、特に43の方の電圧が高い場合には、図26(e)で示すような電圧変換回路44が必要となっていた。

【0180】しかし、本実施形態の図25、図26の回路を用いれば、制御入力端子と出力端子とが電氣的に完全に分離されているので、電圧変換回路44は不要となり、電圧変換回路で必要とされる高耐圧のトランジスタも不要となる。さらに、MEMSスイッチの制御入力の入力容量は、同等のドレインコンダクタンスを有するMISFETに比べ小さくすることができるため、インバータチェーンの段数も少なくでき、インバータを貫通して流れるサブスレッショルドリーク電流を小さくすることができる。もちろん、本発明では、図24(a)で示したように、低抵抗なMEMSスイッチを、例えば半導

体論理回路上に積層して形成することができ、より高密度に実装することができる。

【0181】さらに、図26(g)に、本MEMSスイッチの他の回路応用例を示す。この図は、降圧型DC-DCコンバータ回路を示しており、S6は第3の実施形態で説明したMEMSスイッチを示している。S6の出力電極の一方24は外部VDDとなる電圧ノードと接続され、S6の出力電極のもう一方14は0Vとなる電圧ノードと接続されている。さらに、S6の出力中間電極26はインダクタ45の一方の電流端子と接続されている。

【0182】また、インダクタ45のもう一方の端子は内部電源出力ノード48となり、コンデンサ46の一方の端子と接続され、コンデンサ46のもう一方の端子は0Vとなる電源ノードと接続されている。ここで、インダクタ45はインダクタを流れる電流を一定に保ち、コンデンサ46は出力電圧を一定に保つ働きがある。これらは、S6によって脈流化した電流を平滑化する働きを有する。

【0183】また、ノード48はデューティ比制御回路47の入力に接続されている。ここで、デューティ比制御回路47は、周波数10~10MHzの範囲の方形波の電圧を出力し、ノード48の入力電圧が低いとよりデューティ比が低くなり、ノード48の入力電圧が高いとよりデューティ比が高くなるようにパルス幅変調を行う。つまり、デューティ比制御回路47、MEMSスイッチS6、平滑化インダクタ45、コンデンサ46は、フィードバック回路を形成している。

【0184】これらは、ノード48の電圧が設定値よりも低下すると、デューティ比制御回路47の出力のデューティ比が低くなり、より外部VDD端子24と中間電極26とが接続される期間が長くなるため、ノード48が上昇し、一定電圧となるように制御される。このパルス幅変調の方法や回路については、既存のDC-DCコンバータで周知の回路を用いればよいのでここでは省略する。本回路は、半導体から形成された従来のDC-DCコンバータと比較すると、例えばトランジスタからなるスイッチング素子と、ダイオードをMEMSによって置き換えた形となっている。

【0185】本実施形態の回路では、S6がMEMSスイッチで構成され、外部VDDノード24から内部VDD出力ノード48まで、及び0Vノード14から内部VDD出力ノード48までに、ダイオードが存在しない。よって、従来存在したダイオードの順方向電圧降下による電力損や出力電圧低下、及びダイオードの少数キャリア蓄積現象による寄生電荷や容量が存在せず、MEMSスイッチの単位面積あたりの直列抵抗も低い。よって、例えばダイオードの順方向電圧以下の電圧でも高効率のDC-DC変換回路を形成することができる。

【0186】また、半導体基板上に形成した半導体ス

ッチで問題となった、スイッチの半導体基板への少数キャリア注入現象もない。よって、少数キャリア注入によるラッチアップやダイナミック回路の電荷消失の問題も無く、例えばCMOS回路など、ラッチアップが問題となる半導体論理回路やDRAMなどのダイナミック回路と積層して、より高密度に回路形成することができる。

【0187】さらに、接点26と24の接続と、接点26と14の接続が、相補的に同期して行われ、接点24と14が同時接続され短絡電流が流れることがない。また、スイッチ素子が1つなので、デューティ比制御回路の出力は1つでよく、より簡単な回路でDC-DCコンバータを形成することができる。

【0188】ここで、図25、図26では降圧型DC-DCコンバータの例を示したが、もちろん、昇圧型DC-DCコンバータ、昇降圧型DC-DCコンバータでもトランジスタからなるスイッチング素子と、ダイオードをMEMSによって置き換えればよい。

【0189】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、梁の両端が固定された構造を示したが、片側のみを固定した、いわゆる片持ち梁構造でもよい。この場合においても、積層方向の熱応力による反りの問題は、実施形態と同じ中間電極構造をとることによって低減することが可能で効果がある。第2及び第3の実施形態3で、第1の実施形態と同様に中間電極8又は8'を、例えばW、Mo、SiやNiFeからなる導電膜と、例えばSi酸化膜10からなる網目構造としてもよい。

【0190】実施形態では、Siを基板とした場合の導電膜8として、基板よりも熱膨張率が小さいNiFeを示したが、NiFe以外の元素、例えばCoやCrが15%以内含まれた組成、例えばSuper Invarと呼ばれる組成(Mn0.7%, Ni30~39%, Co5~10%, Cr5~10%, 残りFe)でもよいし、Stainless Invarと呼ばれる組成(Co50~60%, Cr5~10%残りFe)でもよいし、Iso-elasticと呼ばれる組成(Ni36%, Cr7~8%, Mo0.5%残りFe)でもよいし、Fe-Pd(Pd組成46%)合金でもよく、基板より熱膨張率が小さくなればよい。

【0191】実施形態では、半導体基板7としてSiを示したが、この代わりにSOI基板、SOS基板、GaAs基板、InP基板、SiGe混晶基板、SiGeC混晶基板を用いても良い。これらを用いた場合には、Siよりも基板の熱膨張率が大きいので、例えば膜10としてSiと熱膨張率がほぼ等しいSi窒化膜を用いることができ、膜8として高融点金属WやTaを用いることができる。

【0192】犠牲膜22'及び25'、又は犠牲膜12'及び5'をエッチングして形成した中空領域は、例えばAr、He、Ne、Kr、Xeなどの不活性ガスやN₂ガス、又はSF₆などのガスを注入充填してもよ

い。特に、電極間の放電を抑えるためには、注入ガスの圧力を上げ、SF₆などの放電電圧が高いガスを用いればよい。

【0193】また、第2の第3の実施形態で中空領域をエッチングするために絶縁膜16'や絶縁膜2に開口した穴は、例えば穴の幅又は長さxよりも、その後に絶縁膜をx/2以上積層することによって、埋めることができる。これにより、中空領域を密閉し形成し、その後の工程で発生するダストが中空領域に入り誤動作をするのを防ぐことができる。

【0194】また、絶縁膜の形成法としては、熱酸化による酸化膜形成法、30keV程度の低加速エネルギーで酸素を注入した酸化膜を形成してもよいし、絶縁膜を堆積する方法で形成してもよいし、Si窒化膜を堆積する方法、これらを組み合わせてもよい。また、素子分離膜や絶縁膜形成法自身は、金属膜を絶縁膜に変換するこれら以外の方法、例えば酸素イオンを堆積した金属膜に注入する方法や、堆積した金属膜を酸化する方法を用いてもかまわない。また、膜10を除く絶縁膜としては、窒化ホウ素、スピノングラスやSi窒化膜その他タンタル酸化膜、チタン酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛などの強誘電体膜、又はAl₂O₃、ポリイミドなど有機誘電体膜の単層膜又はそれらの複合膜を用いることもできる。特に、窒化ホウ素は、Siよりも熱膨張率が小さいので、膜10としても用いることができる。

【0195】第3の実施形態としては、素子分離31としてトレンチ分離の素子分離を用いた例を示したが、LOCOS分離法、リセスLOCOS、改良LOCOS法、さらにはメサ分離、トレンチ分離の素子分離やフィールドシールド分離を用いても良いし、これらを組み合わせてもよい。

【0196】実施形態では、p型基板7にn型領域9を形成したが、逆にn型基板7にp型領域9を形成してもよい。

【0197】その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0198】

【発明の効果】以上詳述したように本発明によれば、中間電極として機能する可動薄膜を、第1の導電部に気体又は液体を介して対向配置され、少なくとも一端が基板上に固定され一部が変位可能な第2の導電部と、この第2の導電部と同一の主面内に形成され該導電部とは側面で接する絶縁体とで構成することにより、又は基板よりも熱膨張係数が小さい第2の導電部で構成することによって、MEMS素子における可動薄膜部分の抵抗値を十分低くすると共に、抵抗値のばらつきを小さくでき、MEMS素子を用いた配線の信頼性向上をはかり得、且つ半導体集積回路との集積化も容易に実現可能にすることができる。

【0199】より具体的には、本発明の構造を用いれば、スイッチ中間電極の厚さを小さくしても、ストレスマイグレーションやエレクトロマイグレーションが起きにくく、配線の信頼性の高いスイッチ中間電極を実現できる。また、Si大規模集積回路でも、MEMSの中間電極層を厚くしても圧縮応力を生じさせることができ、撓みを有したMEMSをSi大規模集積回路上に形成することができる。さらに、厚い中間電極を用いることによって、安定した膜厚で中間電極を形成して抵抗値及びそのばらつき値を抑えることができる。

【0200】また、中間電極を積層方向に単層である導電性の膜で形成することができ、中間電極積層方向の応力をより対称に形成することができる。よって、前記2つの安定状態を容易に形成することができる。さらに、片持ち梁構造で、単層の導電性の膜を用いることによって、非対称な反りを生じることが少なくなり、広い温度範囲で安定に動作させるのが容易になる。

【0201】また、撓みを有したMEMSの中間電極の歪みを、中間電極として用いる絶縁膜と金属膜の歪みのとの間の値に連続的に制御することができ、撓み量の設計が可能となり、スイッチ高さや長さの設計自由度が増す。さらに、単層の導電性の膜を用いることで、積層膜よりも抵抗を安定に維持したまま薄膜化が容易になり、2つの安定状態間を切り替えるために必要な電圧も小さくでき、スイッチングさせるための電圧を低電圧にすることが可能となる。

【0202】また、単層の導電性の膜に、例えばSiやW、Moなどの高融点金属を用いることによって、従来例のAuやCrなどの金属よりも耐熱性を、例えば400℃以上まで向上させることができる。よって、スイッチ中間電極を形成した後に、例えばプラズマCVDで形成したSi酸化膜やSi窒化膜を用いることで、この構造を多層配線内に埋め込んで形成することができ、半導体回路により低インピーダンスかつ高スイッチング比の素子を実現できる。さらに、形成したMEMS素子は、MISFETに比較して、同じドレインコンダクタンスを得るのに必要な入力容量を小さく保つことができ、入力容量を充電するのに必要なエネルギーをより小さくすることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるMEMS素子の構造を示す平面図と断面図。

【図2】薄膜の厚さ比 t_m/t_i と複合薄膜の熱応力による伸びとの関係を示す図。

【図3】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図4】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図5】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図6】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図7】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図8】第1の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図9】第1の実施形態における中間電極長さとスイッチ電圧との関係を示す図。

【図10】第1の実施形態の変形例を示す平面図と断面図。

【図11】第2の実施形態に係わるMEMS素子の構造を示す平面図と断面図。

【図12】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図13】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図14】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図15】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図16】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図17】第2の実施形態におけるMEMS素子の製造工程を示す平面図と断面図。

【図18】第2の実施形態の変形例を示す平面図と断面図。

【図19】図18の例の製造工程を示す平面図と断面図。

【図20】図18の例の製造工程を示す平面図と断面図。

【図21】図18の例の製造工程を示す平面図と断面図。

【図22】第2の実施形態の第2の変形例の構造を示す平面図と断面図。

【図23】第2の実施形態の第2の変形例の構造を示す平面図と断面図。

【図24】第3の実施形態に係わるMEMS素子の構造を示す平面図と断面図。

【図25】第3の実施形態のMEMS素子を用いた回路例を示す図。

【図26】第3の実施形態のMEMS素子を用いた回路例を示す図。

【図27】従来のMEMS素子の構造を示す平面図と断面図。

【図28】MEMS素子のMEMS素子の構造と片持ち構造での応力で生じる反りを示す図。

【図29】従来素子における金属薄膜の厚さとSi酸化膜に生じる圧縮応力との関係を示す図。

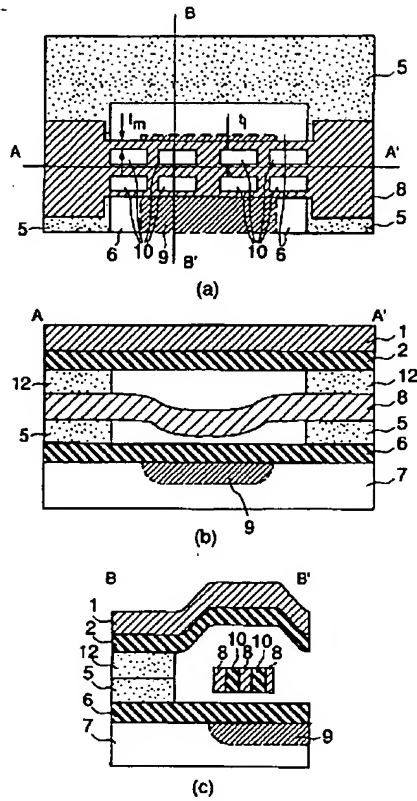
【符号の説明】

1…導電膜（第3の導電部）

41

- 2, 6, 10, 16, 22, 25...絶縁膜
 5, 12...ポリSi膜
 7...Si基板(半導体基板)
 8...導電膜(第2の導電部)

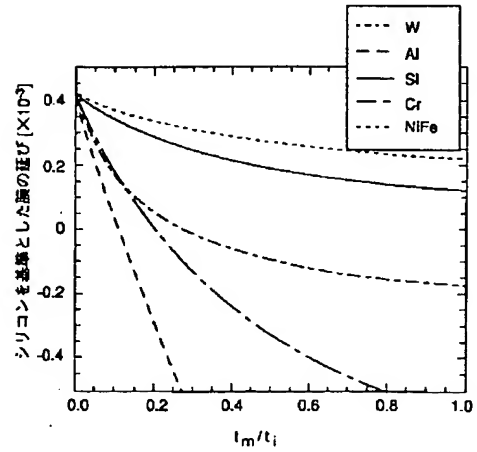
【図1】



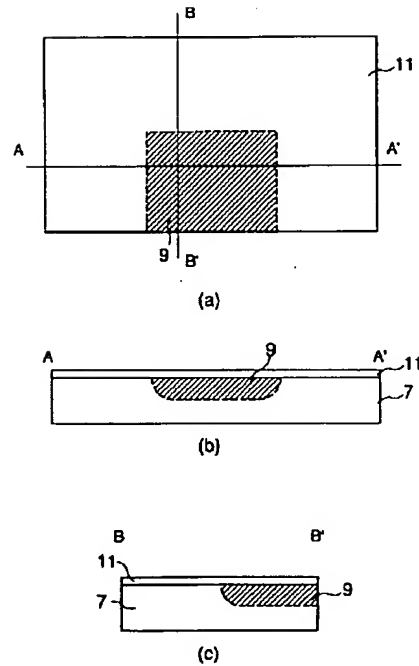
42

- 9...導電性領域(第1の導電部)
 13, 14, 15, 17...導電膜(下部電極)
 18...導電膜(上部電極)

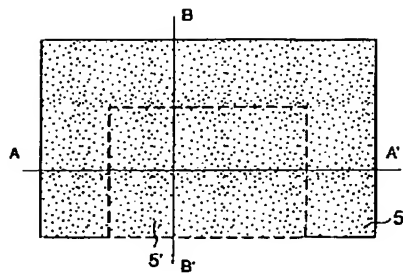
【図2】



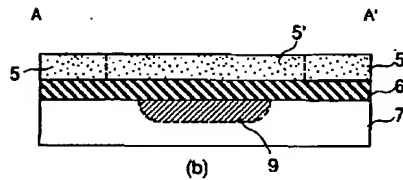
【図3】



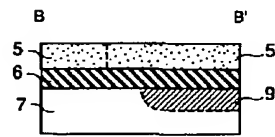
【図4】



(a)

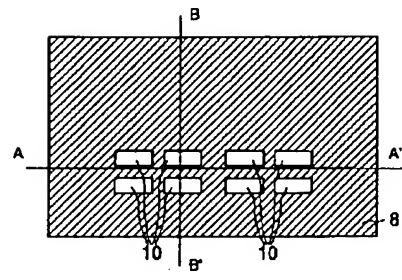


(b)

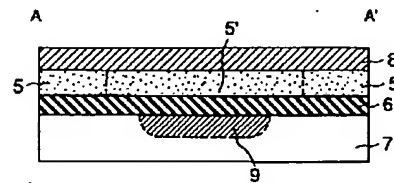


(c)

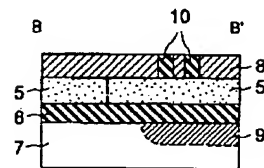
【図5】



(a)

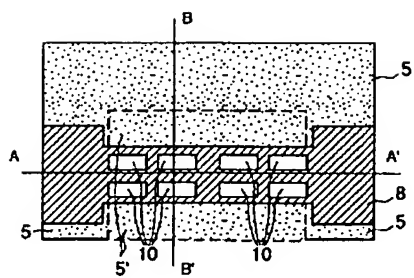


(b)

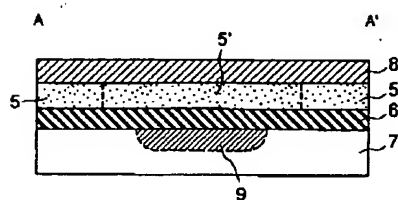


(c)

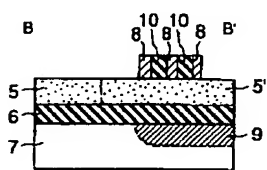
【図6】



(a)

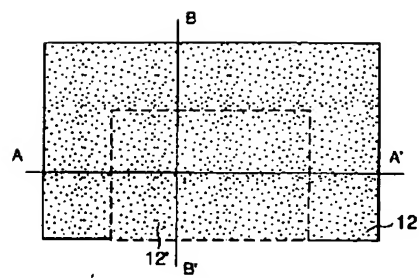


(b)

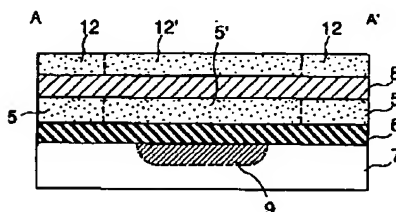


(c)

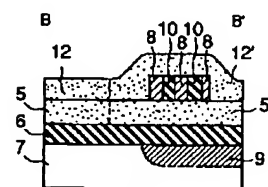
【図7】



(a)

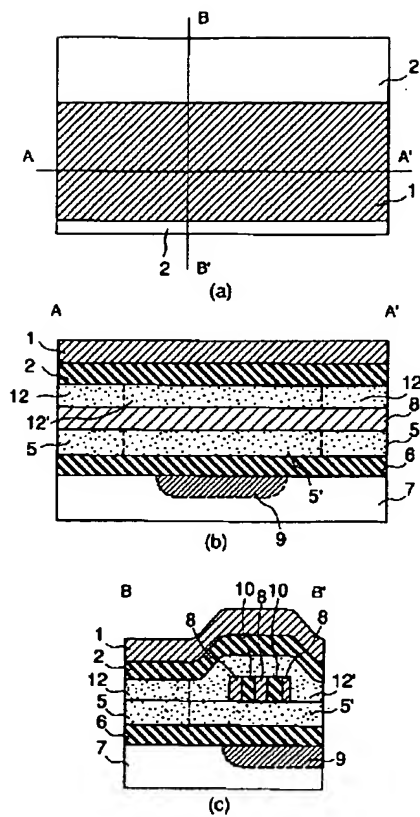


(b)

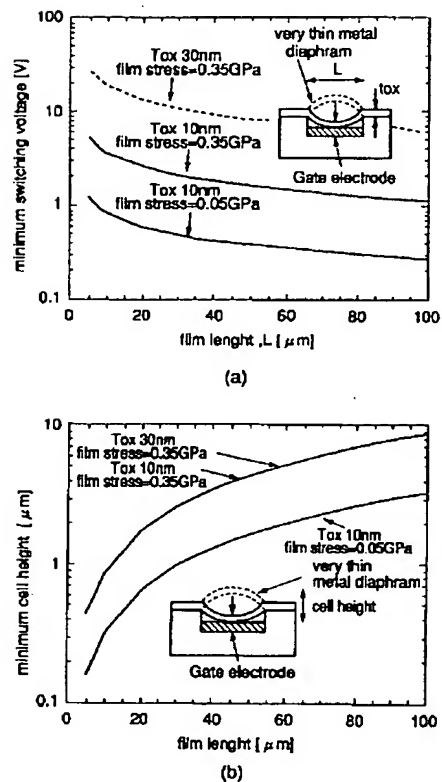


(c)

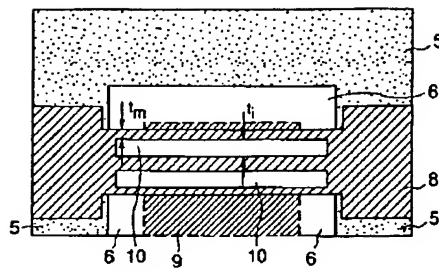
【図8】



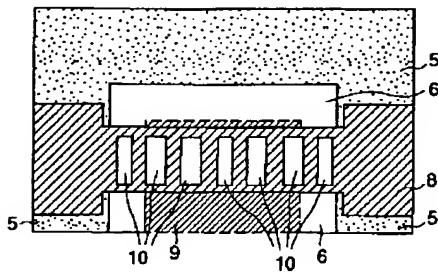
【图9】



【図10】

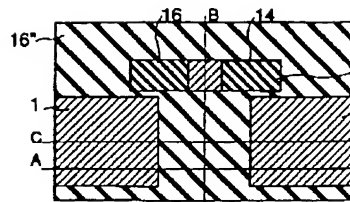


(a)

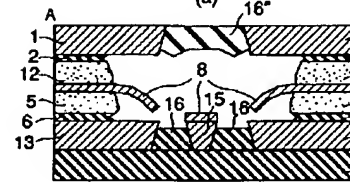


(b)

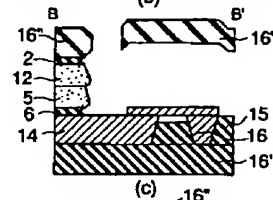
【図11】



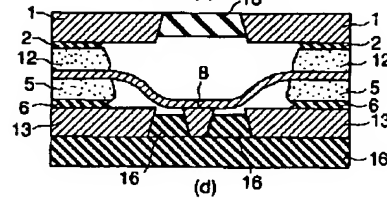
(a)



(b)

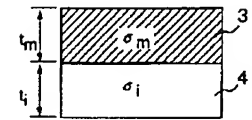


(c)

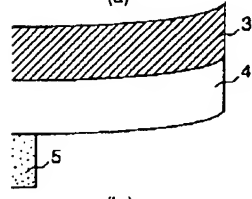


(d)

【図28】

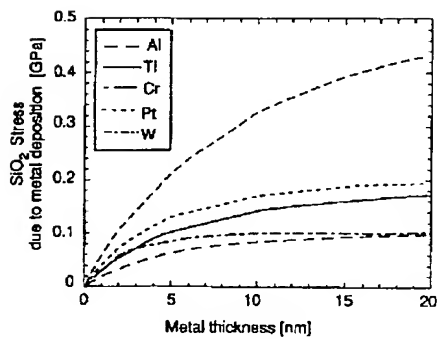


(a)

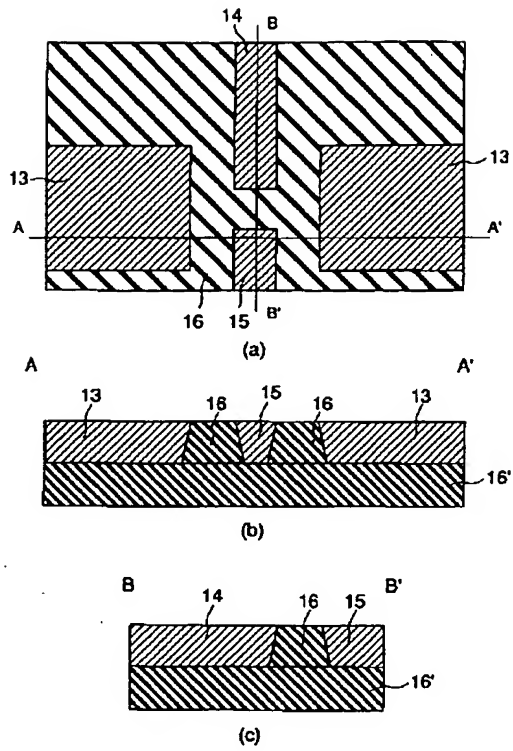


(b)

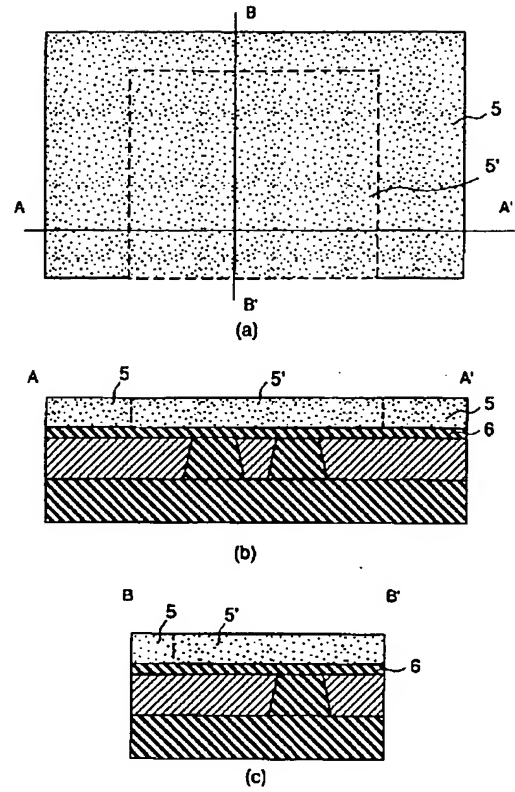
【図29】



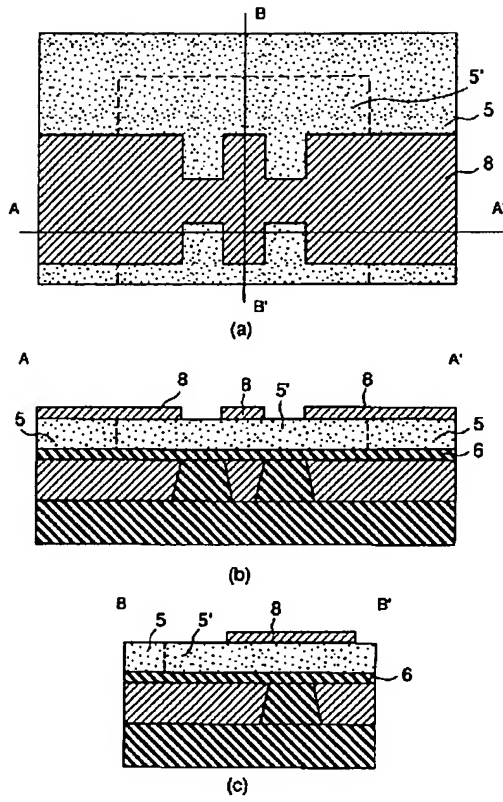
【図12】



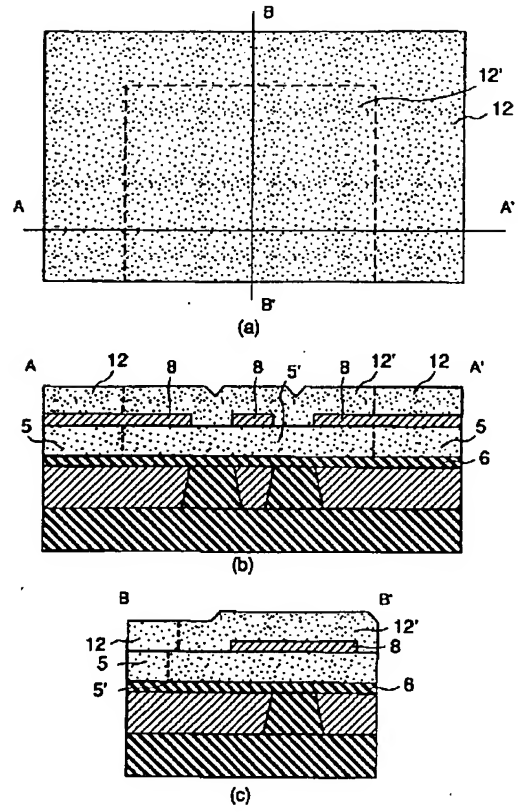
【図13】



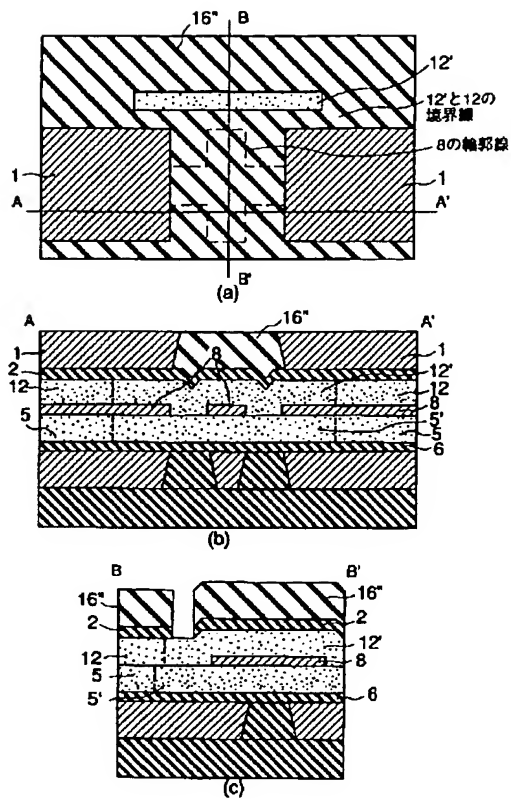
【図14】



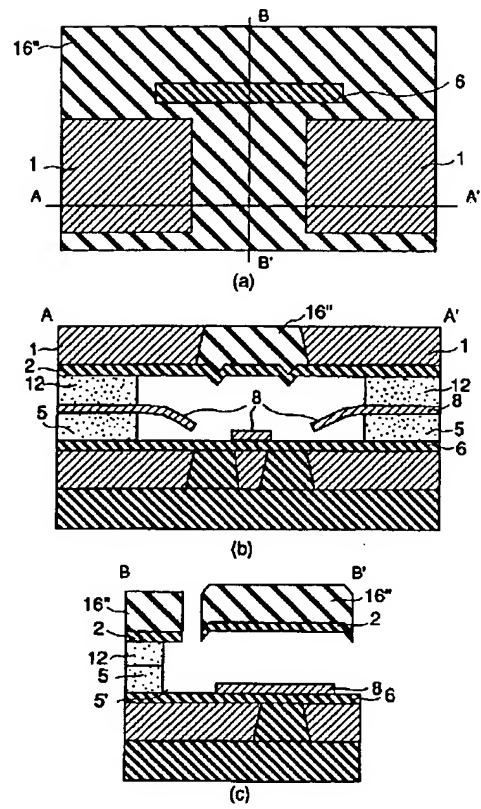
【図15】



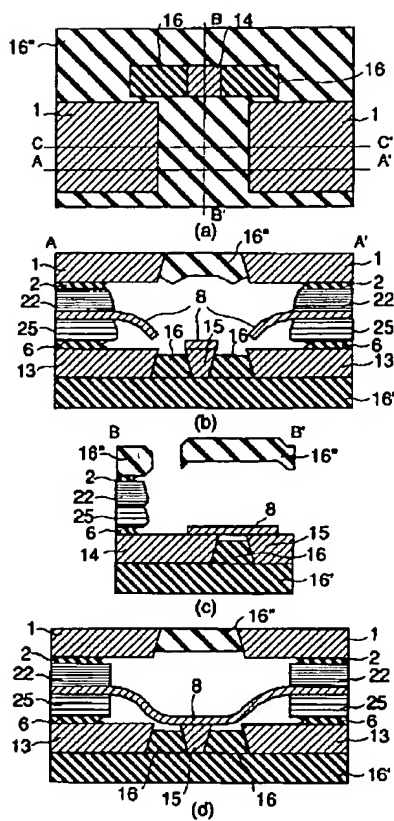
【図16】



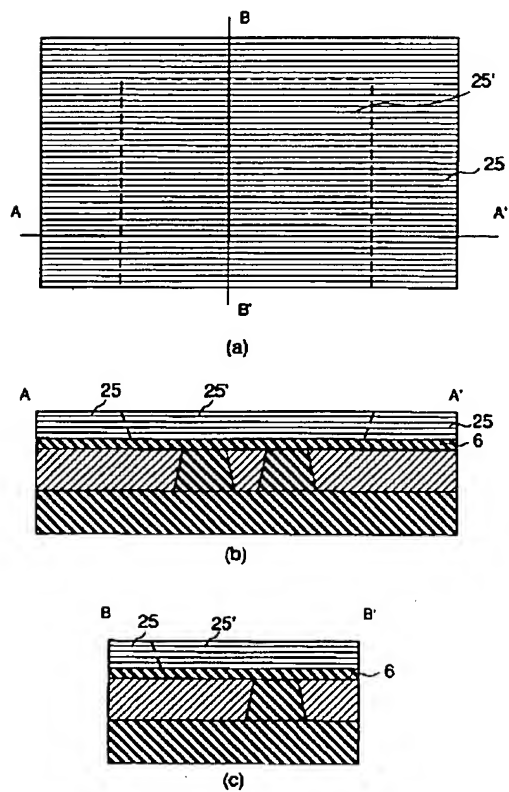
【図17】



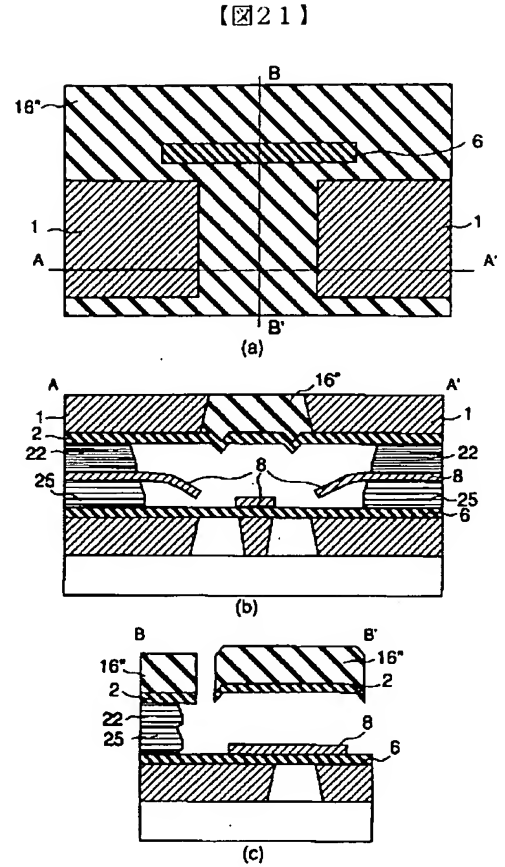
【図18】



【図19】

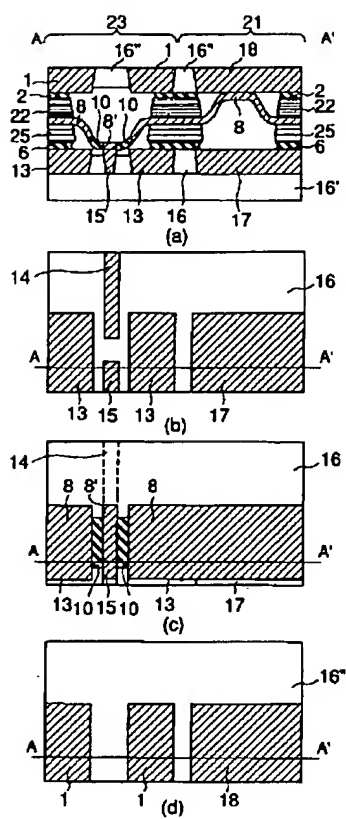


【図20】

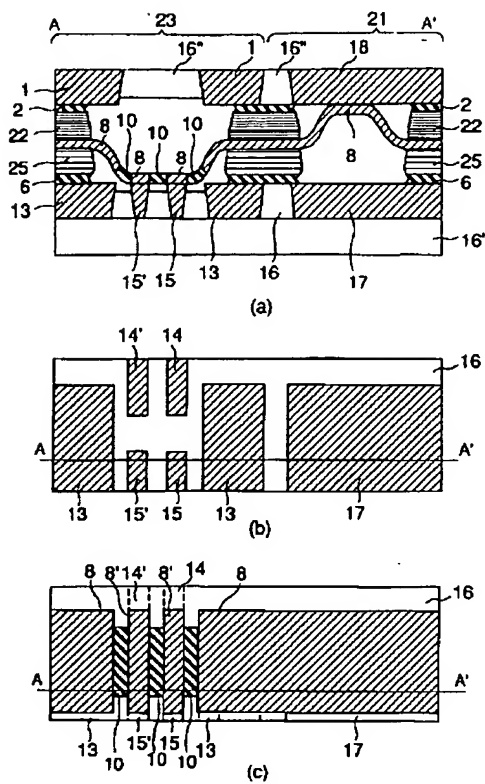


【图21】

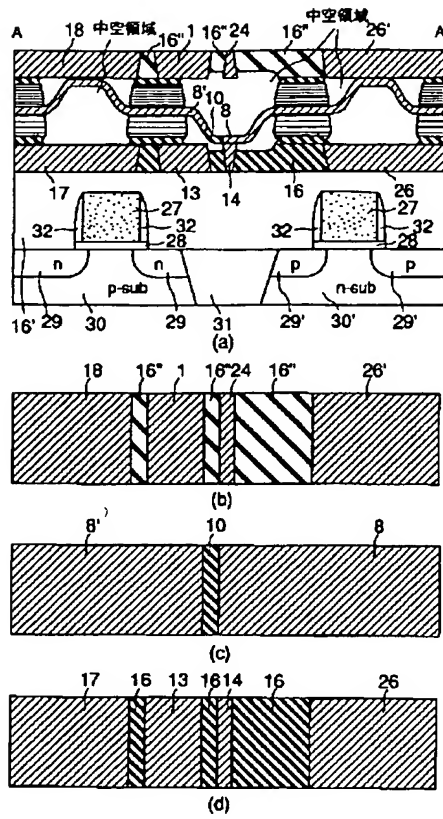
【図22】



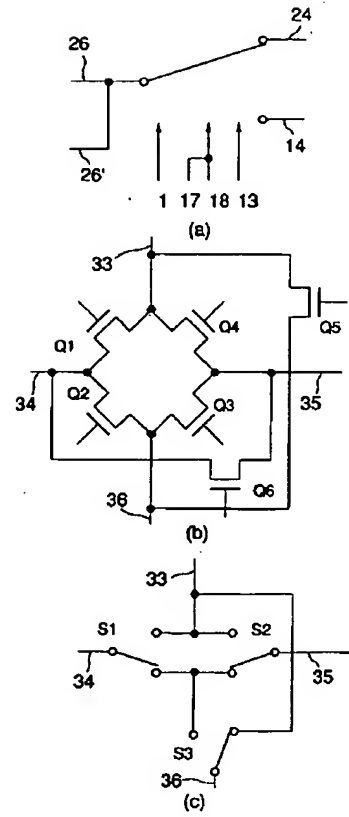
【図23】



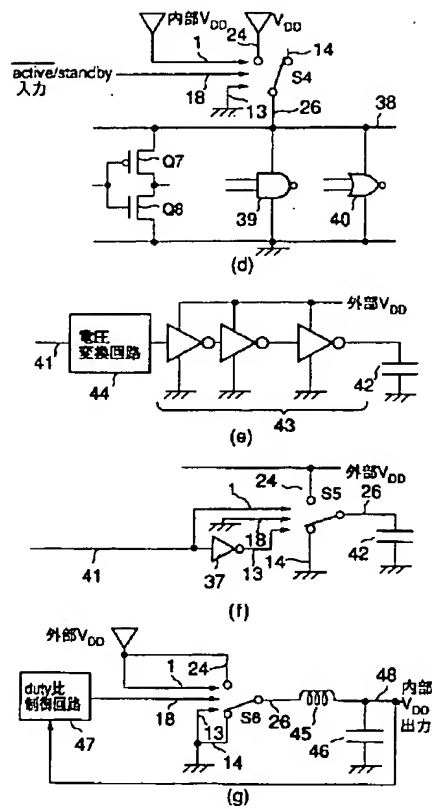
【図24】



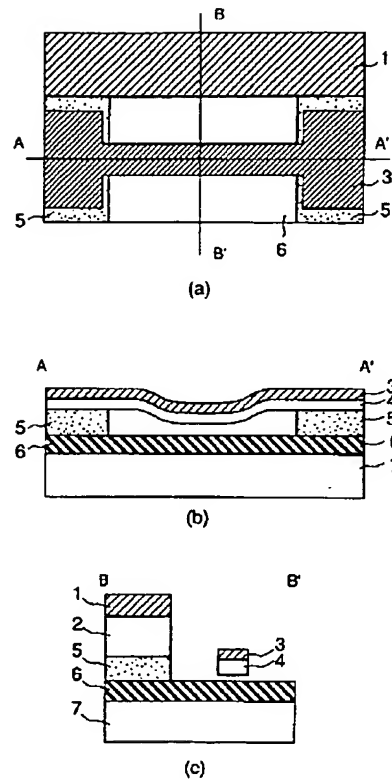
【図25】



【図26】



【図27】



フロントページの続き

(72)発明者 関村 雅之
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

Fターム(参考) 5F083 EP00 EP21 EP41 GA02 JA32
 JA35 JA36 JA37 JA39 JA40
 JA56 JA60 PR05 PR33 PR36
 PR40